

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月    7 日  
Date of Application:

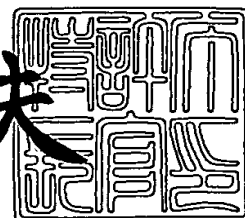
出 願 番 号                      特 願 2 0 0 3 - 3 4 8 8 6 5  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 4 8 8 6 5 ]

出      願      人                      株式会社デンソー  
Applicant(s):

2 0 0 3 年 1 1 月    4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 PY20031725  
【提出日】 平成15年10月 7日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 鈴木 巨裕  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 榊原 純  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 野田 理崇  
【発明者】  
    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内  
    【氏名】 山口 仁  
【特許出願人】  
    【識別番号】 000004260  
    【氏名又は名称】 株式会社デンソー  
【代理人】  
    【識別番号】 100068755  
    【弁理士】  
    【氏名又は名称】 恩田 博宣  
【選任した代理人】  
    【識別番号】 100105957  
    【弁理士】  
    【氏名又は名称】 恩田 誠  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2002-367067  
    【出願日】 平成14年12月18日  
【手数料の表示】  
    【予納台帳番号】 002956  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9908214

**【書類名】特許請求の範囲****【請求項 1】**

第 1 導電型の半導体基板 (3) における主表面 (3 a) での表層部に形成された第 2 導電型のベース領域 (3 0) と、

前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部に前記ベース領域 (3 0) よりも浅く形成された第 1 導電型のソース領域 (3 1) と、

前記主表面 (3 a) での表層部において前記ベース領域 (3 0) とは離間した位置に形成された第 1 導電型のドレイン領域 (3 2) と、

前記主表面 (3 a) での表層部において前記ドレイン領域 (3 2) を含むとともに前記ベース領域 (3 0) と接する領域に前記ドレイン領域 (3 2) よりも深く、かつ、前記半導体基板 (3) よりも高濃度に形成された第 1 導電型のウエル領域 (3 3) と、

前記半導体基板 (3) の主表面 (3 a) から掘られ、その平面構造として前記ソース領域 (3 1) からドレイン領域 (3 2) に向かう方向においてベース領域 (3 0) を貫通するように形成されたトレンチ (3 5) と、

前記トレンチ (3 5) の内面においてゲート絶縁膜 (3 6) を介して形成されたゲート電極 (3 7) と、

前記ソース領域 (3 1) に電氣的に接続されたソース電極 (4 0) と、

前記ドレイン領域 (3 2) に電氣的に接続されたドレイン電極 (4 1) と、  
を備えたことを特徴とする半導体装置。

**【請求項 2】**

第 1 導電型の半導体基板 (3) における主表面 (3 a) での表層部に形成された第 2 導電型のベース領域 (3 0) と、

前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部に前記ベース領域 (3 0) よりも浅く形成された第 1 導電型のエミッタ領域 (3 1) と、

前記主表面 (3 a) での表層部において前記ベース領域 (3 0) とは離間した位置に形成された第 2 導電型のコレクタ領域 (8 0) と、

前記主表面 (3 a) での表層部において前記コレクタ領域 (8 0) を含むとともに前記ベース領域 (3 0) と接する領域に前記コレクタ領域 (8 0) よりも深く、かつ、前記半導体基板 (3) よりも高濃度に形成された第 1 導電型のウエル領域 (3 3) と、

前記半導体基板 (3) の主表面 (3 a) から掘られ、その平面構造として前記エミッタ領域 (3 1) からコレクタ領域 (8 0) に向かう方向においてベース領域 (3 0) を貫通するように形成されたトレンチ (3 5) と、

前記トレンチ (3 5) の内面においてゲート絶縁膜 (3 6) を介して形成されたゲート電極 (3 7) と、

前記エミッタ領域 (3 1) に電氣的に接続されたエミッタ電極 (4 0) と、

前記コレクタ領域 (8 0) に電氣的に接続されたコレクタ電極 (4 1) と、  
を備えたことを特徴とする半導体装置。

**【請求項 3】**

請求項 1 または 2 に記載の半導体装置において、

少なくとも前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部にベース領域 (3 0) よりも浅く、かつ、高濃度な第 2 導電型のベースコンタクト領域 (3 4) を、前記ソース領域 (3 1) またはエミッタ領域とドレイン領域 (3 2) またはコレクタ領域との間に形成したことを特徴とする半導体装置。

**【請求項 4】**

請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置において、

前記ウエル領域 (3 3) は底部から表面にかけて連続的に濃度が高くなっていることを特徴とする半導体装置。

**【請求項 5】**

請求項 3 に記載の半導体装置において、

前記ベースコンタクト領域 (3 4) をトレンチ (3 5) から離して形成するとともに、

前記主表面 (3 a) の上にゲート絶縁膜 (3 8) を介してゲート電極 (3 9) を形成したことを特徴とする半導体装置。

【請求項 6】

請求項 1～5 のいずれか 1 項に記載の半導体装置において、

前記半導体基板 (3) の底部において半導体基板 (3) よりも高濃度な第 1 導電型の埋め込み層 (9) を有するとともに、前記トレンチ (3 5) の底面角部を前記ウエル領域 (3 3) よりも深く、かつ埋め込み層 (9) より浅くしたことを特徴とする半導体装置。

【請求項 7】

請求項 1～6 のいずれか 1 項に記載の半導体装置において、

前記トレンチ (3 5) の側面における前記ソース領域 (3 1) またはエミッタ領域の開口部にもゲート電極 (3 7) を配したことを特徴とする半導体装置。

【請求項 8】

請求項 1～5, 7 のいずれか 1 項に記載の半導体装置において、

S O I 基板を用い、前記トレンチ (3 5) を S O I 基板の埋め込み絶縁膜 (2) に達するようにしたことを特徴とする半導体装置。

【請求項 9】

請求項 1～5, 7, 8 のいずれか 1 項に記載の半導体装置において、

S O I 基板を用い、S O I 基板における埋め込み絶縁膜 (2) 上の半導体層 (3) の厚さを前記ウエル領域 (3 3) の深さにしたことを特徴とする半導体装置。

【請求項 10】

請求項 1～9 のいずれか 1 項に記載の半導体装置において、

前記ドレイン領域 (3 2) またはコレクタ領域とウエル領域 (3 3) が島状をなしており、その周囲にベース領域 (3 0) が在ることを特徴とする半導体装置。

【請求項 11】

請求項 1～9 のいずれか 1 項に記載の半導体装置において、

ソースセル (4 2) またはエミッタセルと、ドレインセル (4 3) またはコレクタセルとが隣接して縦横に交互に配置されていることを特徴とする半導体装置。

【請求項 12】

請求項 1～9 のいずれか 1 項に記載の半導体装置において、

セルを隣接して並設したセル群における、少なくとも最外周のソースコンタクト (4 4) またはエミッタコンタクトを、内方のソースコンタクト (4 5) またはエミッタコンタクトよりも大きくしたことを特徴とする半導体装置。

【請求項 13】

請求項 1～9 のいずれか 1 項に記載の半導体装置において、

セルを隣接して並設したセル群における、少なくとも最外周の前記ソース領域 (3 1) またはエミッタ領域の配置予定位置に同ソース領域 (3 1) またはエミッタ領域に代わり、少なくとも前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部にベース領域 (3 0) よりも高濃度な第 2 導電型のベースコンタクト領域 (4 6) を形成したことを特徴とする半導体装置。

【請求項 14】

請求項 13 に記載の半導体装置において、

平面構造として、ドレイン領域 (3 2) またはコレクタ領域を、ソース領域 (3 1) またはエミッタ領域と前記ベースコンタクト領域 (4 7) で取り囲んだことを特徴とする半導体装置。

【請求項 15】

第 1 導電型の半導体基板 (3) における主表面 (3 a) での表層部に形成された第 2 導電型のベース領域 (3 0) と、

前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部に前記ベース領域 (3 0) よりも浅く形成された第 1 導電型のソース領域 (3 1) と、

前記主表面 (3 a) での表層部において前記ベース領域 (3 0) とは離間した位置に形

成された第1導電型のドレイン領域(32)と、

前記主表面(3a)での表層部において前記ドレイン領域(32)を含むとともに前記ベース領域(30)と接する領域に前記ドレイン領域(32)よりも深く、かつ、前記半導体基板(3)よりも高濃度に形成された第1導電型のウエル領域(33)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記ソース領域(31)からドレイン領域(32)に向かう方向においてベース領域(30)を貫通するように形成されたトレンチ(35)と、

前記トレンチ(35)の内面においてゲート絶縁膜(36)を介して形成されたゲート電極(37)と、

前記ソース領域(31)に電氣的に接続されたソース電極(40)と、

前記ドレイン領域(32)に電氣的に接続されたドレイン電極(41)と、  
を備えた半導体装置の製造方法であって、

前記ベース領域(30)とソース領域(31)とドレイン領域(32)とウエル領域(33)とトレンチ(35)を形成した後において、前記主表面(3a)の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜(73)を配置する第1工程と、

前記絶縁膜(73)をマスクとしたイオン注入を行って前記主表面(3a)の表層部においてベースコンタクト領域(34)をトレンチ(35)から離して形成する第2工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項16】

第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(30)と、

前記ベース領域(30)内における前記主表面(3a)での表層部に前記ベース領域(30)よりも浅く形成された第1導電型のエミッタ領域(31)と、

前記主表面(3a)での表層部において前記ベース領域(30)とは離間した位置に形成された第2導電型のコレクタ領域(80)と、

前記主表面(3a)での表層部において前記コレクタ領域(80)を含むとともに前記ベース領域(30)と接する領域に前記コレクタ領域(80)よりも深く、かつ、前記半導体基板(3)よりも高濃度に形成された第1導電型のウエル領域(33)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記エミッタ領域(31)からコレクタ領域(80)に向かう方向においてベース領域(30)を貫通するように形成されたトレンチ(35)と、

前記トレンチ(35)の内面においてゲート絶縁膜(36)を介して形成されたゲート電極(37)と、

前記エミッタ領域(31)に電氣的に接続されたエミッタ電極(40)と、

前記コレクタ領域(80)に電氣的に接続されたコレクタ電極(41)と、  
を備えた半導体装置の製造方法であって、

前記ベース領域(30)とエミッタ領域(31)とコレクタ領域(80)とウエル領域(33)とトレンチ(35)を形成した後において、前記主表面(3a)の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜(73)を配置する第1工程と、

前記絶縁膜(73)をマスクとしたイオン注入を行って前記主表面(3a)の表層部においてベースコンタクト領域(34)をトレンチ(35)から離して形成する第2工程と、

を有することを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置に係り、詳しくは、横型MOSトランジスタに関するものである。

【背景技術】

【0002】

この種の半導体装置が特許文献1に開示されている。この半導体装置は図40に示すような構成となっている。図40において、N<sup>-</sup>シリコン基板100における主表面100aでの表層部にベースP領域101が形成されるとともに、ベースP領域101内における主表面100aでの表層部にソースN<sup>+</sup>領域102が形成されている。さらに、主表面100aでの表層部にドレインN<sup>+</sup>領域103がベースP領域101から離間して形成されている。また、トレンチ104がN<sup>-</sup>シリコン基板100の主表面100aから掘られ、その平面構造としてソースN<sup>+</sup>領域102からドレインN<sup>+</sup>領域103に向かう方向においてベースP領域101を貫通するように形成されている。トレンチ104の内面においてゲート絶縁膜（図示略）を介してゲート電極（図示略）が形成されている。ソース領域102にはソース電極（図示略）が電氣的に接続されるとともに、ドレイン領域103にはドレイン電極（図示略）が電氣的に接続されている。

【0003】

このような構成とすることにより、トレンチゲートにて、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。

しかし、サージ対策を考慮して以下の改善すべき課題がある。つまり、ドレインN<sup>+</sup>領域103から侵入したサージはN<sup>-</sup>シリコン基板100の深い部分まで流れ、電界が集中しやすいベースP領域101のコーナー部より、ベースP領域101に侵入する。そして、ベースP領域101を縦方向に流れて、ソース電極よりグランドに至る。そのため、ベースP領域101の縦方向の抵抗がベース寄生抵抗として作用し、ソースN<sup>+</sup>領域102、ベースP領域101、N<sup>-</sup>層（100）で構成される寄生バイポーラトランジスタをオンしやすくするのでサージに弱い。

【特許文献1】特開2001-274398号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明はこのような背景の下になされたものであり、その目的は、オン抵抗の低減を図るとともにサージに強い半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

請求項1に記載の発明は、トレンチを設けており、このトレンチは、半導体基板の主表面から掘られ、その平面構造としてソース領域からドレイン領域に向かう方向においてベース領域を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、ウエル領域を設けており、このウエル領域は、主表面での表層部においてドレイン領域を含むとともにベース領域と接する領域にドレイン領域よりも深く、かつ、半導体基板よりも高濃度に形成され、第1導電型である。よって、ドレイン領域から進入したサージはウエル領域に入り、抵抗の低いウエル領域を通過してベース領域の表面側を流れ、ソース電極によりグランドに吸収される。そのため、サージがベース領域を縦方向に流れることはないので、ベース領域の寄生抵抗は低くなり、サージに強くなる。

【0006】

請求項2に記載の発明は、トレンチを設けており、このトレンチは、半導体基板の主表面から掘られ、その平面構造としてエミッタ領域からコレクタ領域に向かう方向において

ベース領域を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、ウエル領域を設けており、このウエル領域は、主表面での表層部においてコレクタ領域を含むとともにベース領域と接する領域にコレクタ領域よりも深く、かつ、半導体基板よりも高濃度に形成され、第1導電型である。よって、コレクタ領域から進入したサージはウエル領域に入り、抵抗の低いウエル領域を通してベース領域の表面側を流れ、エミッタ電極によりグラウンドに吸収される。そのため、サージがベース領域を縦方向に流れることはないので、ベース領域の寄生抵抗は低くなり、サージに強くなる。

**【0007】**

請求項3に記載のように、請求項1または2に記載の半導体装置において、少なくともベース領域内における主表面での表層部にベース領域よりも浅く、かつ、高濃度な第2導電型のベースコンタクト領域を、ソース領域またはエミッタ領域とドレイン領域またはコレクタ領域との間に形成する。これにより、図38に示すように、サージ侵入時においてベース領域での横方向の寄生抵抗はほとんど無い。よって、ベース電位の上昇が少なく、ベース領域とソース領域またはエミッタ領域との間の寄生ダイオードが動作しにくくなる。その結果、基板とベース領域とソース領域またはエミッタ領域による寄生バイポーラトランジスタがオン動作しにくくなり電流の集中を防止することができる。

**【0008】**

請求項4に記載のように、請求項1～3のいずれか1項に記載の半導体装置において、ウエル領域は底部から表面にかけて連続的に濃度が高くなっていると、サージをウエル領域の表面に流すことにより、ベース領域の表面にサージを流しやすく、ベース領域におけるサージの経路が短くなる。このことにより、寄生ベース抵抗を低減しベース領域の電位の上昇を抑え、サージ耐量を向上することができる。

**【0009】**

請求項5に記載のように、請求項3に記載の半導体装置において、ベースコンタクト領域をトレンチから離して形成するとともに、主表面の上にゲート絶縁膜を介してゲート電極を形成すると、半導体基板の主表面においてチャンネルとして動作する領域を形成してオン抵抗を下げることができる。

**【0010】**

請求項6に記載のように、請求項1～5のいずれか1項に記載の半導体装置において、半導体基板の底部において半導体基板よりも高濃度な第1導電型の埋め込み層を有するとともに、トレンチの底面角部をウエル領域よりも深く、かつ埋め込み層より浅くすると、電界の集中しやすいトレンチの底面角部の近傍を不純物濃度の低い領域にして電界集中を防ぐことができ、耐圧を向上することができる。

**【0011】**

請求項7に記載のように、請求項1～6のいずれか1項に記載の半導体装置において、トレンチの側面におけるソース領域またはエミッタ領域の開口部にもゲート電極を配すると、実用上好ましいものとなる。

**【0012】**

請求項8に記載のように、請求項1～5, 7のいずれか1項に記載の半導体装置において、SOI基板を用い、トレンチをSOI基板の埋め込み絶縁膜に達するようにすると、素子分離用トレンチとゲート用トレンチとを同時に作成することができる。

**【0013】**

請求項9に記載のように、請求項1～5, 7, 8のいずれか1項に記載の半導体装置において、SOI基板を用い、SOI基板における埋め込み絶縁膜上の半導体層の厚さをウエル領域の深さにすると、半導体層の膜厚を極力小さくすることにより、素子分離用トレンチの深さを浅くでき、トレンチをエッチングで作成する際のエッチングのコストを低減することができる。

**【0014】**

請求項10に記載のように、請求項1～9のいずれか1項に記載の半導体装置において

、ドレイン領域またはコレクタ領域とウエル領域が島状をなしており、その周囲にベース領域が在ると、サージ耐量を向上させる上で好ましいものとなる。

【0015】

請求項11に記載のように、請求項1～9のいずれか1項に記載の半導体装置において、ソースセルまたはエミッタセルと、ドレインセルまたはコレクタセルとが隣接して縦横に交互に配置されていると、実用上好ましいものとなる。

【0016】

請求項12に記載のように、請求項1～9のいずれか1項に記載の半導体装置において、セルを隣接して並設したセル群における、少なくとも最外周のソースコンタクトまたはエミッタコンタクトを、内方のソースコンタクトまたはエミッタコンタクトよりも大きくすると、サージ耐量を向上させる上で好ましいものとなる。

【0017】

請求項13に記載のように、請求項1～9のいずれか1項に記載の半導体装置において、セルを隣接して並設したセル群における、少なくとも最外周の前記ソース領域またはエミッタ領域の配置予定位置に同ソース領域またはエミッタ領域に代わり、少なくともベース領域内における主表面での表層部にベース領域よりも高濃度な第2導電型のベースコンタクト領域を形成すると、サージ耐量を向上させる上で好ましいものとなる。

【0018】

請求項14に記載のように、請求項13に記載の半導体装置において、平面構造として、ドレイン領域またはコレクタ領域を、ソース領域またはエミッタ領域と前記ベースコンタクト領域で取り囲むと、サージ耐量を向上させる上で好ましいものとなる。

【0019】

請求項15に記載の発明は、請求項5に記載の半導体装置の製造方法として、ベース領域とソース領域とドレイン領域とウエル領域とトレンチを形成した後において、主表面の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜を配置する第1工程と、絶縁膜をマスクとしたイオン注入を行って主表面の表層部においてベースコンタクト領域をトレンチから離して形成する第2工程と、を有することを特徴としている。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチまで到達することを回避することができる。

【0020】

請求項16に記載の発明は、請求項5に記載の半導体装置の製造方法として、ベース領域とエミッタ領域とコレクタ領域とウエル領域とトレンチを形成した後において、主表面の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜を配置する第1工程と、絶縁膜をマスクとしたイオン注入を行って主表面の表層部においてベースコンタクト領域をトレンチから離して形成する第2工程と、を有することを特徴としている。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチまで到達することを回避することができる。

【発明を実施するための最良の形態】

【0021】

(第1の実施の形態)

以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

図1に本実施形態における半導体装置の縦断面を示す。本実施形態においてはSOI基板を用いている。つまり、シリコン基板1の上に絶縁膜(シリコン酸化膜)2を介して薄い単結晶シリコン層(単結晶半導体層)3が形成され、SOI基板を構成している。単結晶シリコン層3において、絶縁膜2に達する素子分離用トレンチ4が形成され、このトレンチ4にて多数の素子形成島が区画形成されている。素子分離用トレンチ4に関して、トレンチ4の側面にはシリコン酸化膜5が形成されるとともに、シリコン酸化膜5の内方にはポリシリコン膜6が充填されている。図1において、第1の素子形成島はロジック部であり、このロジック部においてCMOSトランジスタが形成されている。また、第2の素子形成島はバイポーラトランジスタ部であり、NPNトランジスタが形成されている。第



3の素子形成島はパワーMOS部であり、横型パワーMOSトランジスタ（トレンチゲート型LDMOS）が形成されている。

#### 【0022】

また、各島（図1では第1～第3の素子形成島）において、底部に $1.0 \times 10^{19} / \text{cm}^3$ 程度の埋め込み $\text{N}^+$ 層7, 8, 9が形成され、その上部が $1.0 \times 10^{15} / \text{cm}^3$ 程度の $\text{N}^-$ 層（3）となっている。以下の説明において、N型が第1導電型であり、P型が第2導電型である。

#### 【0023】

ロジック部におけるCMOSトランジスタに関してNチャネルMOSとして、 $\text{N}^-$ シリコン層3の表層部にはPウエル領域10が形成され、Pウエル領域10の不純物濃度は $1.0 \times 10^{17} / \text{cm}^3$ 程度である。Pウエル領域10の表層部にはソース $\text{N}^+$ 領域11とドレイン $\text{N}^+$ 領域12が離間して形成されている。また、Pウエル領域10の上にはゲート酸化膜（図示略）を介してゲート電極13が配置されている。

#### 【0024】

一方、PチャネルMOSとして、 $\text{N}^-$ シリコン層3の表層部にはソース $\text{N}^+$ 領域14とドレイン $\text{P}^+$ 領域15が離間して形成され、さらに、 $\text{N}^-$ シリコン層3の上にはゲート酸化膜（図示略）を介してゲート電極16が配置されている。

#### 【0025】

バイポーラトランジスタ部におけるNPNトランジスタに関して、 $\text{N}^-$ シリコン層3の表層部にはPウエル領域20が形成され、Pウエル領域20の表層部にはエミッタ $\text{N}$ 領域21とベース $\text{P}^+$ 領域22が離間して形成されている。エミッタ $\text{N}$ 領域21内にはエミッタコンタクト $\text{N}^+$ 領域23が形成されている。また、 $\text{N}^-$ シリコン層3の表層部にはコレクタ $\text{N}$ 領域（ディープ $\text{N}$ 領域）24がPウエル領域20と離間して形成され、コレクタ $\text{N}$ 領域（ディープ $\text{N}$ 領域）24は埋め込み $\text{N}^+$ 層8に達している。コレクタ $\text{N}$ 領域（ディープ $\text{N}$ 領域）24の表層部には $\text{N}^+$ コンタクト領域25が形成されている。ベース $\text{P}^+$ 領域22とエミッタコンタクト $\text{N}^+$ 領域23と $\text{N}^+$ コンタクト領域25は高濃度（ $1.0 \times 10^{20} / \text{cm}^3$ ）であり、ベース、エミッタ、コレクタの各電極と接している。

#### 【0026】

パワーMOS部における横型MOSトランジスタについて説明する。図1でのY部の詳細を、図2, 3, 4, 5を用いて説明する。図2は平面図であり、図2のA-A線での縦断面を図3に、図2のB-B線での縦断面を図4に、図2のC-C線での縦断面を図5に示す。このMOSトランジスタにおいて $\text{N}^-$ シリコン層3を半導体基板として素子を作り込んでおり、 $\text{N}^-$ シリコン層3の上面（3a）を半導体基板の主表面としている。

#### 【0027】

図3, 4, 5に示すように、島内において底部に $1.0 \times 10^{19} / \text{cm}^3$ 程度の埋め込み $\text{N}^+$ 層9が形成されており、その上部が $1.0 \times 10^{15} / \text{cm}^3$ の $\text{N}^-$ シリコン層3となっている。

#### 【0028】

図3において $\text{N}^-$ シリコン層3（基板の主表面3a）での表層部にはベースP領域30が形成されている。ベースP領域30の深さは $1.0 \sim 1.4 \mu\text{m}$ である。また、ベースP領域30は底部から表面にかけて連続的に濃度が高くなっている。具体的には、表面では $1.5 \times 10^{17} / \text{cm}^3$ であるが、深さ $1 \mu\text{m}$ では $1.5 \times 10^{16} / \text{cm}^3$ と $1/10$ の濃度になっている。このような濃度勾配はイオン注入、熱拡散といった通常用いられる半導体製造工程で作成でき、これにより当該ベースP領域30を低コストで作製できることとなる。

#### 【0029】

ベースP領域30内における $\text{N}^-$ シリコン層3（基板の主表面3a）での表層部にはソース $\text{N}^+$ 領域31がベースP領域30よりも浅く形成されている。ソース $\text{N}^+$ 領域31は、表面濃度が $1.0 \times 10^{20} / \text{cm}^3$ 、深さが $0.2 \sim 0.3 \mu\text{m}$ である。

#### 【0030】

N<sup>-</sup>シリコン層 3 (基板の主表面 3 a) での表層部においてドレイン N<sup>+</sup>領域 3 2 がベース P 領域 3 0 とは離間した位置に形成されている。ドレイン N<sup>+</sup>領域 3 2 は表面濃度が  $1.0 \times 10^{20} / \text{cm}^3$ 、深さが  $0.6 \sim 1.2 \mu\text{m}$  である。ドレイン N<sup>+</sup>領域 3 2 の形成工程において、リンのイオン注入はバイポーラトランジスタ部のエミッタコンタクト N<sup>+</sup>領域 2 3 (図 1 参照) のイオン注入とマスクを共用している。これにより、マスクの増加を招くことなくドレイン N<sup>+</sup>領域 3 2 を作成することができる。

#### 【0031】

N<sup>-</sup>シリコン層 3 (基板の主表面 3 a) での表層部において N ウェル領域 3 3 が、ドレイン N<sup>+</sup>領域 3 2 を含むとともにベース P 領域 3 0 と接する領域に、ドレイン N<sup>+</sup>領域 3 2 よりも深く、かつ、N<sup>-</sup>シリコン層 3 よりも高濃度に形成されている。詳しくは、N<sup>-</sup>シリコン層 3 において、 $1.0 \times 10^{16} / \text{cm}^3$  程度の N ウェル領域 3 3 が  $1.0 \times 10^{17} / \text{cm}^3$  程度のベース P 領域 3 0 と重なり合うように形成されている。N ウェル領域 3 3 は深さが  $2 \sim 4 \mu\text{m}$  であるとともに、N ウェル領域 3 3 は底部から表面にかけて連続的に濃度が高くなっている。

#### 【0032】

N<sup>-</sup>シリコン層 3 (基板の主表面 3 a) での表層部、特にベース P 領域 3 0 には、ベースコンタクト P<sup>+</sup>領域 3 4 がソース N<sup>+</sup>領域 3 1 よりもドレイン N<sup>+</sup>領域 3 2 側に形成されている。ベースコンタクト P<sup>+</sup>領域 3 4 は、ベース P 領域 3 0 よりも浅く、かつ、高濃度であり、表面濃度が  $1.0 \times 10^{20} / \text{cm}^3$ 、深さが  $0.5 \mu\text{m}$  である。

#### 【0033】

図 4 に示すように、N<sup>-</sup>シリコン層 3 (基板の主表面 3 a) からトレンチ 3 5 が掘られている。トレンチ 3 5 の平面構造として、図 2 に示すごとくソース N<sup>+</sup>領域 3 1 からドレイン N<sup>+</sup>領域 3 2 に向かう方向において図 5 に示すごとくベース P 領域 3 0 を貫通するように形成されている。つまり、トレンチ 4 はソース N<sup>+</sup>領域 3 1 からベース P 領域 3 0 を横切り、N ウェル領域 3 3 に達するように形成されている。また、図 2 に示すように、前述のベースコンタクト P<sup>+</sup>領域 3 4 は、トレンチ 3 5 から距離 d 1 だけ離して形成されている。つまり、図 2 の C-C 線での縦断面図である図 5 においてはベースコンタクト P<sup>+</sup>領域 3 4 はない。

#### 【0034】

図 4 に示すように、トレンチ 3 5 の内面においてゲート酸化膜 (ゲート絶縁膜) 3 6 を介してゲート電極 3 7 が形成されている。詳しくは、ゲート電極 3 7 はリンがドーパされたポリシリコンを用いており、このポリシリコンゲート電極 3 7 がトレンチ 3 5 に埋め込まれている。また、図 5 に示すように、基板表面 (主表面 3 a) の上にもゲート酸化膜 (ゲート絶縁膜) 3 8 を介して、リンがドーパされたポリシリコンゲート電極 3 9 が形成されている。図 4 に示すように、トレンチ 3 5 の形成領域において基板表面に配したポリシリコンゲート電極 3 9 とトレンチ 3 5 内のポリシリコンゲート電極 3 7 は  $1 \mu\text{m}$  程度の幅でオーバーラップしている。このようにオーバーラップ範囲を狭くしたのは (トレンチ 3 5 の形成領域でのポリシリコンゲート電極 3 9 を極力エッチング除去したのは)、図 5 に示すごとくソース N<sup>+</sup>領域 3 1 の上方からゲート電極 3 9 を極力遠ざけるためである。

#### 【0035】

図 3 に示すように、N<sup>-</sup>シリコン層 3 の上にはソース電極 4 0 とドレイン電極 4 1 が形成されている。ソース N<sup>+</sup>領域 3 1 およびベースコンタクト P<sup>+</sup>領域 3 4 はソース電極 4 0 と電氣的に接続されている。ドレイン N<sup>+</sup>領域 3 2 はドレイン電極 4 1 と電氣的に接続されている。

#### 【0036】

トレンチ 3 5 (ゲート電極 3 7) の深さは耐圧に影響を与えるため、耐圧設計上、重要なパラメータである。トレンチ 3 5 の近傍で電界集中が起きるのはコーナー部 (図 4 の A 1 部) である。従って、コーナー部近傍の電界を緩和できれば耐圧は向上する。コーナー部近傍の電界を緩和するには、コーナー部近傍のシリコン領域を不純物濃度の小さい領域にすればよい。そうすれば空乏層が広がりやすくなり、電界を緩和できる。

**【0037】**

図3に示すごとく本実施形態では、表面から $2\sim 4\ \mu\text{m}$ の領域にNウェル領域33を形成するとともに、表面から $6\sim 7\ \mu\text{m}$ の位置に埋め込み $\text{N}^+$ 層9の上面があり、かつ、その厚さが $3\sim 5\ \mu\text{m}$ であるため、表面から深さ $4\sim 6\ \mu\text{m}$ においては $1.0\times 10^{15}/\text{cm}^3$ と不純物濃度が小さい。そのため、トレンチ35の深さを $4\sim 6\ \mu\text{m}$ に設計している。つまり、トレンチ35の底面角部はNウェル領域33よりも深く、かつ、埋め込み $\text{N}^+$ 層9よりも浅くなるようにしている。

**【0038】**

トレンチ35の深さの耐圧依存性をシミュレーションで調べた。その結果、トレンチの深さが $3\ \mu\text{m}$ では耐圧4.1ボルトであったデバイスがトレンチの深さが $5\ \mu\text{m}$ では6.5ボルトに耐圧が向上することが分かった。

**【0039】**

次に、横型パワーMOSトランジスタの動作について説明する。

オフ時（ドレイン電位：0.2ボルト，ゲート電位：0ボルト，ソース電位：0ボルト）の場合、ソース $\text{N}^+$ 領域31からベースP領域30には電子は到達しないので、電流は流れない。

**【0040】**

オン時（ドレイン電位：0.2ボルト，ゲート電位：7ボルト，ソース電位：0ボルト）の場合、ベースP領域30におけるゲート酸化膜36，38と接する部位に反転層が形成される。そして、ソース $\text{N}^+$ 領域31から、トレンチ35の表面および基板上面の反転層に電子は到達する。次に、トレンチ35の表面および基板上面の反転層より、Nウェル領域33に電子は到達する。この時、トレンチ35の深さは $4\sim 6\ \mu\text{m}$ 、Nウェル領域33の深さが $2\sim 4\ \mu\text{m}$ なので、Nウェル領域33でも $2\sim 4\ \mu\text{m}$ まで電子は到達する。

**【0041】**

次に、電子はNウェル領域33からドレイン $\text{N}^+$ 領域32に到達する。この場合も、ドレイン $\text{N}^+$ 領域32の深さが $0.6\sim 1.2\ \mu\text{m}$ なので、電子はドレイン $\text{N}^+$ 領域32が近くなっても深い部分にも存在している。

**【0042】**

このように電流の経路は奥深くまで（表面から離れた深い部分にまで）形成されている。そのためオン抵抗を小さくすることができる。詳しくは、シミュレーション結果として、オン抵抗が $63.4\ \text{m}\Omega\cdot\text{mm}^2$ であり、従来のトレンチゲートを使用しない表面ゲートのみデバイスと比較すると、半分程度のオン抵抗になっていることが分かった。

**【0043】**

次に、静電気サージが侵入した場合の動作について、図6，7を用いて説明する。詳しくは、サージの中で特に問題となることの多い正のサージがドレインから侵入する場合の動作について説明する。

**【0044】**

図6においてドレイン $\text{N}^+$ 領域32から侵入したサージはNウェル領域33を通過してベースP領域30（主にベースコンタクト $\text{P}^+$ 領域34）からグラウンドに吸収される。この時、Nウェル領域33を通過するとともにベースP領域30（主にベースコンタクト $\text{P}^+$ 領域34）を経てサージが侵入するため、サージ侵入によるベースP領域30の電位上昇はほとんどない（ベース領域30での寄生抵抗による電位の上昇が抑えられる）。これにより、ベースP領域30とソース $\text{N}^+$ 領域31間に形成される寄生ダイオードD1は動作しにくくなり、ソース $\text{N}^+$ 領域31、ベースP領域30、N領域（主にNウェル領域33）で形成される寄生NPバイポーラトランジスタQ1もオン動作しにくくなる。そのため、寄生バイポーラ動作による特定セルへの電流集中は生じにくくなり、サージ耐量は高くなる。

**【0045】**

特に、ベースコンタクト $\text{P}^+$ 領域34をソース $\text{N}^+$ 領域31とドレイン $\text{N}^+$ 領域32との間に形成しており、寄生ベース抵抗を低減することができる。詳しい説明を、図38，3

9を用いて行う。図38は本実施形態に対応する図であり、ベースコンタクト領域を図中の右側、即ち、ソース領域に対しドレイン領域側に形成している。図39は比較のための図であり、ベースコンタクト領域を図中の左側、即ち、ソース領域に対しドレイン領域とは反対側に形成している。図39においては、静電気放電等のサージに弱い。このサージ破壊に至るメカニズムは以下の通りである。サージが侵入すると、ベース領域の寄生抵抗（横方向の寄生抵抗）によりベース領域の電位が上昇する。そのため、ベース領域・ソース領域間の寄生ダイオードが動作する。その結果、基板、ベース領域、ソース領域のNPN構造のバイポーラトランジスタがオンして特定のセルに電流が集中する原因になる。これに対し図38においては、ベースコンタクト領域がソース領域から見てドレイン領域に近い側に配置されており、サージがベース領域を介さずに直接引き抜くことができ、ベース領域での寄生抵抗はほとんど無く、上記の寄生バイポーラ動作を生じさせなくすることができる。

#### 【0046】

以上のごとく、本実施形態においてはサージ耐量の高い横型パワーMOSトランジスタを提供することができる。特に、シミュレーション結果では、静電気試験（図7参照：150Ω、150pF）の耐量が16.0kVであった。即ち、自動車用半導体装置には、静電気試験で15～30kVの高いサージ耐量が要求されるが、これを満足させることができる。このように本実施形態では保護素子なしに要求される高耐量を実現できるため、外付け保護素子が不要となり、大幅なコストダウンを図ることができる。

#### 【0047】

このように本実施形態は下記の特徴を有する。

(イ) 図3、4に示すごとく、トレンチ35が、N<sup>-</sup>シリコン層（半導体基板）3の主表面3aから掘られ、その平面構造としてソースN<sup>+</sup>領域31からドレインN<sup>+</sup>領域32に向かう方向においてベースP領域30を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、Nウエル領域33が、主表面3aでの表層部においてドレインN<sup>+</sup>領域32を含むとともにベースP領域30と接する領域にドレインN<sup>+</sup>領域32よりも深く、かつ、N<sup>-</sup>シリコン層3よりも高濃度に形成されている。よって、ドレインN<sup>+</sup>領域32から進入したサージはNウエル領域33に入り、抵抗の低いNウエル領域33を流れてベースP領域30の表面側を流れ（図6の本実施形態ではベースコンタクトP<sup>+</sup>領域34を設けたので、主にここに流れ）、ソース電極40によりグランドに吸収される。そのため、サージがベースP領域30を縦方向に流れることはないので、ベースP領域30の寄生抵抗は低くなり、サージに強くなる。

(ロ) 少なくともベースP領域30内における主表面3aでの表層部にベースP領域30よりも浅く、かつ、高濃度なP型のベースコンタクト領域（ベースコンタクトP<sup>+</sup>領域34）を、ソースN<sup>+</sup>領域31とドレインN<sup>+</sup>領域32との間に形成した。これにより、図38に示すように、サージ侵入時においてベース領域での横方向の寄生抵抗はほとんど無い。よって、ベース電位の上昇が少なく、ベース領域とソース領域との間の寄生ダイオードが動作しにくくなる。その結果、基板とベース領域とソース領域による寄生バイポーラトランジスタがオン動作しにくくなり電流の集中を防止することができる。

(ハ) Nウエル領域33は底部から表面にかけて連続的に濃度が高くなっているもので、サージをNウエル領域33の表面に流すことにより、ベースP領域30の表面にサージを流しやすく、ベースP領域30におけるサージの経路が短くなる。このことにより、寄生ベース抵抗を低減しベースP領域30の電位の上昇を抑え、サージ耐量を向上することができる。

(ニ) ベースコンタクト領域（ベースコンタクトP<sup>+</sup>領域34）をトレンチ35から離して形成するとともに、主表面3aの上にゲート酸化膜（ゲート絶縁膜）38を介してゲート電極39を形成した。よって、基板の主表面3aにおいてチャネルとして動作する領域を形成してオン抵抗を下げることができる。

(ホ) N<sup>-</sup>シリコン層（半導体基板）3の底部においてN<sup>-</sup>シリコン層3よりも高濃度なN

+型の埋め込み層（埋め込みN<sup>+</sup>層9）を有するとともに、トレンチ35の底面角部をNウエル領域33よりも深く、かつ埋め込みN<sup>+</sup>層9より浅くした。よって、電界の集中しやすいトレンチ35の底面角部の近傍を不純物濃度の低い領域にして電界集中を防ぐことができ、耐圧を向上することができる。

#### 【0048】

図2においてはトレンチ35に対し距離d1だけ離してベースコンタクトP<sup>+</sup>領域34を形成したが、図8に示すように、ベースコンタクトP<sup>+</sup>領域34をトレンチ35に接するまで形成してもよい。図8においては基板表面にはチャネルは形成されない。次に、図8と図9を比較する。図9はベースコンタクトP<sup>+</sup>領域34'を図中の左側、即ち、ソースN<sup>+</sup>領域31に対しドレインN<sup>+</sup>領域32とは反対側に形成している。ここで、図8においては1セルあたりのオン抵抗は、表面ゲート（プレーナゲート）がない分だけオン抵抗は高い。しかし、図8は、図9におけるベースコンタクトP<sup>+</sup>領域34'の存在した部分を削除しているため1セルの面積は小さくなる。そのため、図8は表面ゲートを削除したのかかわらず、図9の単位面積あたりのオン抵抗と同程度にすることが可能となる。

#### 【0049】

このように、図8の構成とすることにより、単位面積あたりのオン抵抗を維持したままサージ耐量の高い横型パワーMOSトランジスタを提供することができることとなる。

また、図3においてはベースコンタクトP<sup>+</sup>領域34はベースP領域30からNウエル領域33内に達するように形成したが、図10に示すようにベースコンタクトP<sup>+</sup>領域34をベースP領域30内にのみ形成してもよい。

（第2の実施の形態）

次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

#### 【0050】

図11に本実施形態における横型パワーMOSトランジスタを示し、図11の上側にトランジスタの平面図を、図11の下側にトランジスタの縦断面図を示す。

第1の実施形態に対し本実施形態においてはソースN<sup>+</sup>領域50もバイポーラトランジスタ部のエミッタコンタクトN<sup>+</sup>領域23（図1参照）とマスクを共用し、0.6～1.2μmと深く打ち込んだ構造としている。これにより、図3のソースN<sup>+</sup>領域31の深さは0.2～0.3μmであったが、図11においてはソースN<sup>+</sup>領域50の深さは0.6～1.2μmである。また、ベースP領域51もソースN<sup>+</sup>領域50を深くしたことに伴ない2～2.6μmと深くしている。

#### 【0051】

このような構成とすることにより、第1の実施形態よりトレンチ35の深い部分に電流を流すことができる。

（第3の実施の形態）

次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

#### 【0052】

図4に示した第1の実施形態の場合、図12に示すように、基板表面のポリシリコンゲート電極39がオーバーエッチングされやすい。即ち、トレンチ35の内部のポリシリコンゲート電極37が表面から0.4μmほどオーバーエッチングされ、ゲート電極がない所では電流が流れなくなることがある。詳しくは、図13に示すようにトレンチ35内にポリシリコンを充填すべくポリシリコン膜60を成膜し、エッチングにより同ポリシリコン膜60の表面を平坦化し、さらに、その上にマスク61を配置した状態でポリシリコン膜60をエッチングする際に、図12に示すように0.4μm程度のオーバーエッチングが発生する。

#### 【0053】

そこで、本実施形態においては以下のようにしている。

図14に本実施形態における横型パワーMOSトランジスタを示し、図14の上側にトランジスタの平面図を、図14の下側にトランジスタの縦断面図を示す。

#### 【0054】



図14において、基板表面のポリシリコンゲート電極39を、ソースN<sup>+</sup>領域31の側面での上方位置まで延ばして配置している。即ち、トレンチ35の側面におけるソースN<sup>+</sup>領域31の開口部にもポリシリコンゲート電極37を配している。これにより、電流の流れる領域を広くすることができ、実用上好ましいものとなる。

(第4の実施の形態)

次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

#### 【0055】

図2～図5に示すMOSトランジスタを製造する場合、通常、ベースコンタクトP<sup>+</sup>領域34の形成は次のように行われる。まず、図15に示すように、マスク70を用いて所定領域にP<sup>+</sup>イオンを注入する(不純物にはボロンもしくはBF<sub>2</sub>が用いられる)。そして、図16に示すように、アニールを行う。さらに、素子表面(上面)に酸化膜71をデポするとともに、図17に示すように、酸化膜71にコンタクトホール72を形成する。この一連の工程において、P<sup>+</sup>領域を形成するために注入する不純物としてのボロンもしくはBF<sub>2</sub>はいずれも拡散係数が大きいため、容易にトレンチ35まで達し、しきい値電圧V<sub>t</sub>を上昇させる原因になる。

#### 【0056】

そのため、本実施形態では以下のようにしている。

まず、図18に示すように、イオン注入後のN<sup>+</sup>領域31、32のアニールを行った後、素子表面(上面)に酸化膜73をデポする。さらに、図19に示すように、酸化膜73にコンタクトホール74を形成する。そして、図20に示すように、マスク75を用いて所定領域にP<sup>+</sup>イオンを注入する(不純物にはボロンもしくはBF<sub>2</sub>を用いる)。さらに、図21に示すようにアニールする。

#### 【0057】

この工程により、P<sup>+</sup>の拡散を抑えることができる。

以上のように本実施形態においては、図2のようなベースコンタクトP<sup>+</sup>領域34をトレンチ35から離して形成している半導体装置の製造方法として、図19に示すように、ベースP領域30とソースN<sup>+</sup>領域31とドレインN<sup>+</sup>領域32とNウェル領域33とトレンチ35を形成した後において、主表面3aの上に、ベースコンタクト形成予定領域をコンタクトホールとして開口したシリコン酸化膜(絶縁膜)73を配置する第1工程と、図20、21に示すように、シリコン酸化膜(絶縁膜)73をマスクとしたイオン注入を行って主表面3aの表層部においてベースコンタクトP<sup>+</sup>領域34をトレンチ35から離して形成する第2工程と、を有する。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチ35まで到達することを回避することができる。

(第5の実施の形態)

次に、第5の実施の形態を、第1の実施の形態との相違点を中心に説明する。

#### 【0058】

図22に本実施形態における横型パワーMOSトランジスタを示し、図22の上側にトランジスタの平面図を、図22の下側にI-I線でのトランジスタの縦断面図を示す。図23に図22のJ-J線でのトランジスタの縦断面図を示す。

#### 【0059】

図1の埋め込みN<sup>+</sup>層7、8、9のうちの埋め込みN<sup>+</sup>層8はバイポーラトランジスタで使用されるが図3の埋め込みN<sup>+</sup>層9については設けなくすることが可能である。この場合、トレンチ35内のゲート電極と埋め込み絶縁膜2間の電位差はないので、トレンチ35を深くしても耐圧の低下はない。そのため、図22、23の本実施形態においては、トレンチ35を埋め込み絶縁膜2に接する構造にしている。この構造は素子分離用トレンチ4(図1参照)とMOSゲート用トレンチ35が同じ深さになるので、両方のトレンチを同一工程で作成することができる。即ち、SOI基板を用い、トレンチ35をSOI基板の埋め込み絶縁膜2に達するようにすることにより、素子分離用トレンチ4とMOSゲート用トレンチ35とを同時に作成することができる。その結果、工程コストの低減を図ることができる。

**【0060】**

また、このとき、絶縁膜2上のシリコン膜厚はNウエル領域33の深さが確保できるだけの厚さがあればよいので、 $2\sim 4\mu\text{m}$ と小さくできる。この場合、素子分離用トレンチ4（図1参照）は $2\sim 4\mu\text{m}$ だけ、シリコンをエッチングすれば作成できるので、エッチングにかかるコストを少なくすることができる。即ち、SOI基板を用い、SOI基板における埋め込み絶縁膜2上のN<sup>-</sup>シリコン層（半導体層）3の厚さをNウエル領域33の深さにすることにより、N<sup>-</sup>シリコン層3の膜厚を極力小さくすることにより、素子分離用トレンチ4の深さを浅くでき、トレンチ4をエッチングで作成する際のエッチングのコストを低減することができる。

（第6の実施の形態）

次に、第6の実施の形態を、第1の実施の形態との相違点を中心に説明する。

**【0061】**

図24に、本実施形態における横型パワーMOSトランジスタの平面図を示す。図25に、図24のL-L線でのトランジスタの縦断面図を示す。図26に、図24のM-M線でのトランジスタの縦断面図を示す。

**【0062】**

図24の平面図においてNウエル領域33が格子状に配列され（縦横に形成され）、各Nウエル領域33の内部にドレインN<sup>+</sup>領域32が形成されている。Nウエル領域33はベースP領域30に囲まれている。このようにして、ドレインN<sup>+</sup>領域32とNウエル領域33が島状をなしており、その周囲にベースP領域30が在る（ドレインN<sup>+</sup>領域32とNウエル領域33がベースP領域30に取り囲まれている）。ベースP領域30での表層部にはソースN<sup>+</sup>領域31が前記Nウエル領域33を取り囲むように形成されている。即ち、ドレインN<sup>+</sup>領域32をソースN<sup>+</sup>領域31が取り囲むようにレイアウトされている。また、ベースP領域30での表層部にはベースコンタクトP<sup>+</sup>領域34がNウエル領域33の周りに形成されている。さらに、トレンチ35（トレンチゲート）が隣り合うNウエル領域33の両方に接するように形成されている。

**【0063】**

このレイアウトにおいては、ドレインN<sup>+</sup>領域32およびNウエル領域33がベースP領域30に取り囲まれているため電流経路を広くすることができ、これにより、サージ侵入時にサージ耐量を向上させることができる。また、このレイアウトにおいては、ベースコンタクトP<sup>+</sup>領域34を広くとることができ、そのため、サージ侵入時にベースコンタクトP<sup>+</sup>領域34での電流集中を回避して、サージ耐量を向上させることができる。

**【0064】**

また、本実施形態では、図24に示すように、ドレイン・ドレイン間隔が $6\sim 8\mu\text{m}$ であり、セルサイズは $6\sim 8\mu\text{m}$ である。よって、1セルの面積は $36\sim 64\mu\text{m}^2$ である。第1の実施形態（図2、3）と本実施形態（図24）の比較において、図3でのソース・ドレイン間は $5.0\sim 6.5\mu\text{m}$ でありドレイン・ドレイン間隔が $10\sim 13\mu\text{m}$ であるとともに、図2でのトレンチゲート・トレンチゲートの間隔は $3.6\sim 5\mu\text{m}$ である。よって、1セルの面積は $36\sim 65\mu\text{m}^2$ である。その結果、第1の実施形態（図2、3）のレイアウトを本実施形態のレイアウトに変更しても面積の増大はないため、オン抵抗を増大させることなくサージ耐量を向上させることができる。ただし、本実施形態のデバイスはドレイン・ドレイン間隔が第1の実施形態より小さいため、耐圧は20ボルト前後である。

（第7の実施の形態）

次に、第7の実施の形態を、第1の実施の形態との相違点を中心に説明する。

**【0065】**

図27に、本実施形態における横型パワーMOSトランジスタの平面図を示す。図28に、図27のQ-Q線でのトランジスタの縦断面図を示す。図29に、図27のR-R線でのトランジスタの縦断面図を示す。図30に、図27のS-S線でのトランジスタの縦断面図を示す。

**【0066】**

本実施形態では、図27に示すように、正方形のソースセル42と正方形のドレインセル43とを隣接して縦横に交互に配置している（セルをマトリックス状に配置している）。さらに、図27には、セル群の外周部のレイアウトも示している。

**【0067】**

図31は、比較のための横型パワーMOSトランジスタの平面図であり、本実施形態とは異なりストライプ状のレイアウトをとった場合のセル群の外周部のレイアウトを示す。

以下、詳しく説明する。

**【0068】**

本実施形態では、図27の平面図においてソースセル42とドレインセル43が交互に並ぶレイアウトになっている。各セル42、43は正方形にレイアウトされており、一辺のサイズは6～7 $\mu$ mである。

**【0069】**

ソースセル42において表層部にはベースP領域30が形成され、図27においてベースP領域30は円形をなしている。このベースP領域30の周りにはNウエル領域33が形成され、図29に示すように、ベースP領域30は表層部においてその端部がNウエル領域33の端部と重なり合っている。また、ベースP領域30の内部にはソースN<sup>+</sup>領域31が十字状に形成されている。ベースP領域30の内部にはベースコンタクトP<sup>+</sup>領域34が形成され、ベースコンタクトP<sup>+</sup>領域34は十字状のソースN<sup>+</sup>領域31により4つの領域に分割された形状をなしている。トレンチ35は、十字状のソースN<sup>+</sup>領域31の先端部から延び、ベースP領域30を横切り、Nウエル領域33に達する形状をなしている。図28に示すように、トレンチ35の内部にはゲート酸化膜36を介してゲート電極37が形成されている。

**【0070】**

図27のドレインセル43において表層部がNウエル領域33になっており、その内部にドレインN<sup>+</sup>領域32が形成されている（図28、29参照）。

また、図27において、セル群の最外周部は全てソースセル42が形成されている。このようにソースセル42のみで外周部を構成することにより、図31（ストライプ状のレイアウト）に比べて次のような効果を奏する。

**【0071】**

図31を用いてセル群の最外周でのブレイクダウンのメカニズムについて説明する。

セル群の最外周においてベースP領域30の端部が半円状に形成され、このベースP領域30とNウエル領域33との間のPN接合部が曲率半径R11となる。曲率半径R11のPN接合部において電界が集中しやすくインパクトイオン化でホールが発生しやすい。そのホールが寄生バイポーラのベース電流となり、寄生バイポーラ動作を起こし、外周部に電流が集中して破壊する。

**【0072】**

これに対し、図27においては、セル群の最外周部にソースセル42が形成されて、ソースセル42においてベースP領域30とNウエル領域33との間のPN接合部が曲率半径R10となり、この曲率半径R10は図31の曲率半径R11よりも大きい（R10 > R11）。このように、PN接合部の曲率半径が小さくなることなく（曲率が大きくなることなく）設計できる。そのため、ESD時のコーナー部での破壊を少なくすることができる。

**【0073】**

このようにして、図27のようにソースセル42のみで外周部を構成することにより、図31（ストライプ状のレイアウト）に比べてサージ破壊を防止することができる。

また、図27での電極サイズは以下の通りである。

**【0074】**

ドレイン電極41はドレインN<sup>+</sup>領域32の表面に形成されており、1セルでの面積は1 $\mu$ m<sup>2</sup>程度である。一方、ソース電極40はソースN<sup>+</sup>領域31とベースコンタクトP<sup>+</sup>



領域34上に配置されており、面積は $2\mu\text{m}^2$ 程度である。ここで、ソース電極40のうちのソースN<sup>+</sup>領域31上に存在している部分の面積は $1\mu\text{m}^2$ 程度であり、また、ベースコンタクトP<sup>+</sup>領域34上に存在している部分の面積は $1\mu\text{m}^2$ 程度である。

#### 【0075】

そして、デバイスがオン時（ドレイン電位：0.2ボルト、ゲート電位：7ボルト、ソース電位：0ボルト）の場合、ソースN<sup>+</sup>領域31からソース電極40に電流が流れる。このとき、電極として使用されている部分の面積は $1\mu\text{m}^2$ であり、ドレイン電極41の面積と等しくなる。従って、電流の偏りが少なくなり、電流は各セルに均等に流れる。

#### 【0076】

デバイスに静電気サージが侵入した場合、本デバイスはダイオードとして動作するため、ベースコンタクトP<sup>+</sup>領域34よりソース電極40に電流が流れる（図6参照）。このとき、電極として使用されている部分の面積は $1\mu\text{m}^2$ 程度であり、ドレイン電極41の面積と等しくなる。従って、電流の偏りが少なくなるのでサージ耐量は高くなる。

（第8の実施の形態）

次に、第8の実施の形態を、第1の実施の形態との相違点を中心に説明する。

#### 【0077】

図32に、本実施形態における横型パワーMOSトランジスタの平面図を示す。図33に、図32のT-T線でのトランジスタの縦断面図を示す。

本実施形態はセル群での最外周のセルを他のセルと異なる構成としている。つまり、セルを隣接して並設したセル群における、少なくとも最外周のソースコンタクト44を、内方のソースコンタクト45よりも大きくしている（セル群の最外周のみソースコンタクトが大きくなっている）。

#### 【0078】

また、セルを隣接して並設したセル群における、少なくとも最外周のソースN<sup>+</sup>領域31の配置予定位置に同ソースN<sup>+</sup>領域31の代わりベースコンタクトP<sup>+</sup>領域46を形成している。ベースコンタクトP<sup>+</sup>領域46は、少なくともベースP領域30内における主表面3aでの表層部にベースP領域30よりも高濃度に形成されている（より詳しくは、ベースコンタクトP<sup>+</sup>領域46はベースP領域30よりも浅くなっている）。つまり、セル群での最外周のセルではソースN<sup>+</sup>領域31は存在せず、その代わりにP<sup>+</sup>領域46を形成している。即ち、図33に示すように、ベースP領域30の表面はP<sup>+</sup>領域46で覆われている。

#### 【0079】

この構成により、図31の構造に比べ以下の効果を奏する。

図31のストライプ構造ではセル群の最外周におけるベースP領域30の端部の曲率半径R11が小さい（曲率が大い）。それゆえ、電界が集中しやすく、インパクトイオン化が生じ、ホールが発生しやすい。そのホールがベース電流となり、ソースN<sup>+</sup>領域31、ベースP領域30、N領域（主にNウェル領域33）で形成される寄生NPNトランジスタをオンさせ特定セルによる電流集中破壊を起こしやすい。

#### 【0080】

これに対し、図32、33においては、セル群の最外周でのソースN<sup>+</sup>領域31を形成せずに寄生バイポーラトランジスタが形成されないようにするとともに、ベースP領域30の表面に濃度の高いP<sup>+</sup>領域46を形成することによりホールの発生が抑えられる。さらに、セル群の最外周のソースコンタクト44を内方のソースコンタクト45よりも広げてホールを外部に逃がしやすくしている。このようにしてサージ耐量を向上させることができる。

#### 【0081】

なお、上記セルはセル群の最外周のみならず、セル群での最外周の近傍のセルも同様の構造にすると、更にESD耐量は高くなる。

（第9の実施の形態）

次に、第9の実施の形態を、第8の実施の形態との相違点を中心に説明する。

**【0082】**

図34に、本実施の形態における横型パワーMOSトランジスタの平面図を示す。図35に、図34のU-U線でのトランジスタの縦断面図を示す。図36に、図34のV-V線でのトランジスタの縦断面図を示す。

**【0083】**

平面構造として、ドレインN<sup>+</sup>領域32をソースN<sup>+</sup>領域31とベースコンタクトP<sup>+</sup>領域47で取り囲んでいる。つまり、第8の実施形態(図32)での最外周のP<sup>+</sup>領域46を延長して、ドレインN<sup>+</sup>領域32を取り囲む構造にしている。同時に、ソースコンタクト44についてもP<sup>+</sup>領域47の上部にも形成し、同じくドレインN<sup>+</sup>領域32を取り囲むように配置している。

**【0084】**

このとき、ドレインN<sup>+</sup>領域32をカソードとするとともにP<sup>+</sup>領域47をアノードとしたダイオード構造となる。このダイオードの耐圧(ブレイクダウン電圧)を内部のトランジスタの耐圧(ブレイクダウン電圧)より低く設定することにより保護ダイオードとして使用することができる。耐圧(ブレイクダウン電圧)を低く設定するためには、具体的には、例えば、図34のドレインN<sup>+</sup>領域32とトランジスタ内部のベースコンタクトP<sup>+</sup>領域34の距離X1よりも、ドレインN<sup>+</sup>領域32と外周部のP<sup>+</sup>領域47の距離X2を小さくする。よって、サージがドレインN<sup>+</sup>領域32に侵入した場合には次のようになる。Nウェル領域33を通してトランジスタ内部のベースコンタクトP<sup>+</sup>領域34と外周部のP<sup>+</sup>領域47に侵入しようとする。しかし、ドレインN<sup>+</sup>領域32とトランジスタ内部のベースコンタクトP<sup>+</sup>領域34よりも外周部のP<sup>+</sup>領域47の間の方が耐圧(ブレイクダウン電圧)が低いため、サージが外周部に流れ、内部のトランジスタは保護される。このようにしてサージ耐量を向上させることができる。

(第10の実施の形態)

次に、第10の実施の形態を、第1～第9の実施の形態との相違点を中心に説明する。

**【0085】**

図37に本実施形態における横型パワーMOSトランジスタを示し、図37の上側にトランジスタの平面図を、図37の下側にトランジスタの縦断面図を示す。

第1～第9の実施の形態においてはMOSFETに適用した場合について説明してきたが、本実施形態においてはIGBT(絶縁ゲート型バイポーラトランジスタ)に適用している。つまり、図3のドレインN<sup>+</sup>領域32の代わりにP<sup>+</sup>領域80を作り、コレクタ領域(コレクタP<sup>+</sup>領域)とする。ソース領域はエミッタ領域となる(エミッタN<sup>+</sup>領域31となる)。また、電極40はエミッタ電極となり、電極41はコレクタ電極となる。Nウェル領域33はベース領域として機能する。

**【0086】**

このIGBTとした場合における構成についてもこれまで説明してきたMOSFETの場合と同様にして実施することができる(第1～第9の実施形態と同様に実施することができる)。

**【図面の簡単な説明】**

**【0087】**

- 【図1】 実施形態における半導体装置の縦断面図。
- 【図2】 第1の実施の形態における横型パワーMOSトランジスタの平面図。
- 【図3】 図2のA-A線での縦断面図。
- 【図4】 図2のB-B線での縦断面図。
- 【図5】 図2のC-C線での縦断面図。
- 【図6】 作用を説明するための縦断面図。
- 【図7】 シミュレーションの条件を説明するための図。
- 【図8】 横型パワーMOSトランジスタを示す図。
- 【図9】 比較のための横型パワーMOSトランジスタを示す図。
- 【図10】 横型パワーMOSトランジスタを示す縦断面図。

- 【図 1 1】 第 2 の実施の形態における横型パワー MOS トランジスタを示す図。
- 【図 1 2】 第 3 の実施の形態を説明するための縦断面図。
- 【図 1 3】 製造工程を示す縦断面図。
- 【図 1 4】 第 3 の実施の形態における横型パワー MOS トランジスタを示す図。
- 【図 1 5】 第 4 の実施の形態を説明するための縦断面図。
- 【図 1 6】 製造工程を示す縦断面図。
- 【図 1 7】 製造工程を示す縦断面図。
- 【図 1 8】 製造工程を示す縦断面図。
- 【図 1 9】 製造工程を示す縦断面図。
- 【図 2 0】 製造工程を示す縦断面図。
- 【図 2 1】 製造工程を示す縦断面図。
- 【図 2 2】 第 5 の実施の形態における横型パワー MOS トランジスタを示す図。
- 【図 2 3】 トランジスタの縦断面図。
- 【図 2 4】 第 6 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 2 5】 図 2 4 の L-L 線でのトランジスタの縦断面図。
- 【図 2 6】 図 2 4 の M-M 線でのトランジスタの縦断面図。
- 【図 2 7】 第 7 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 2 8】 図 2 7 の Q-Q 線でのトランジスタの縦断面図。
- 【図 2 9】 図 2 7 の R-R 線でのトランジスタの縦断面図。
- 【図 3 0】 図 2 7 の S-S 線でのトランジスタの縦断面図。
- 【図 3 1】 ストライプ状のレイアウトをとった場合の外周部のレイアウトを示す平面図。
- 【図 3 2】 第 8 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 3 3】 図 3 2 の T-T 線でのトランジスタの縦断面図。
- 【図 3 4】 第 9 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 3 5】 図 3 4 の U-U 線でのトランジスタの縦断面図。
- 【図 3 6】 図 3 4 の V-V 線でのトランジスタの縦断面図。
- 【図 3 7】 第 1 0 の実施の形態における横型パワー MOS トランジスタ ( I G B T ) を示す図。
- 【図 3 8】 動作原理を説明するための概念図。
- 【図 3 9】 比較のための概念図。
- 【図 4 0】 背景技術を説明するための横型パワー MOS トランジスタを示す図。

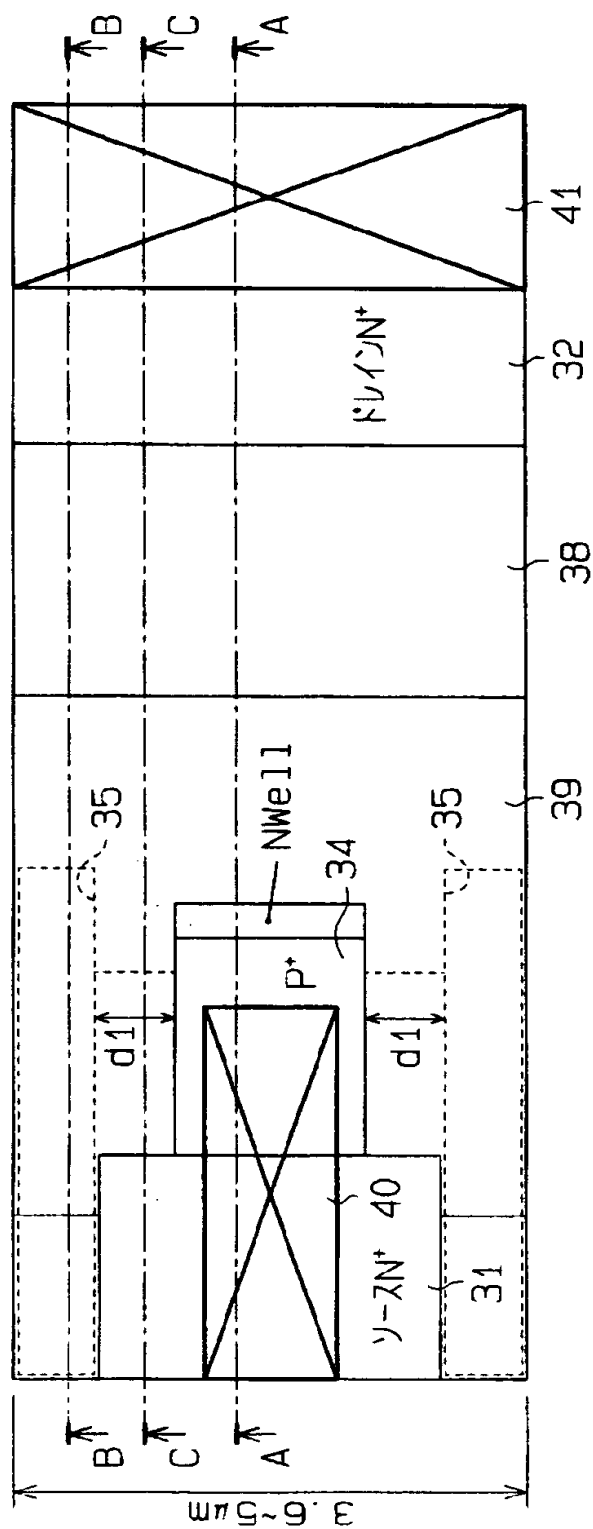
【符号の説明】

【 0 0 8 8 】

2…埋め込み絶縁膜、3…N<sup>-</sup>シリコン層、3 a…主表面、9…埋め込みN<sup>+</sup>層、3 0…ベースP領域、3 1…ソースN<sup>+</sup>領域、3 2…ドレインN<sup>+</sup>領域、3 3…Nウェル領域、3 4…ベースコンタクトP<sup>+</sup>領域、3 5…トレンチ、3 6…ゲート酸化膜、3 7…ゲート電極、3 8…ゲート酸化膜、3 9…ゲート電極、4 0…ソース電極、4 1…ドレイン電極、4 2…ソースセル、4 3…ドレインセル、4 4…ソースコンタクト、4 5…ソースコンタクト、4 6…ベースコンタクトP<sup>+</sup>領域、4 7…ベースコンタクトP<sup>+</sup>領域、7 3…絶縁膜、8 0…コレクタP<sup>+</sup>領域。

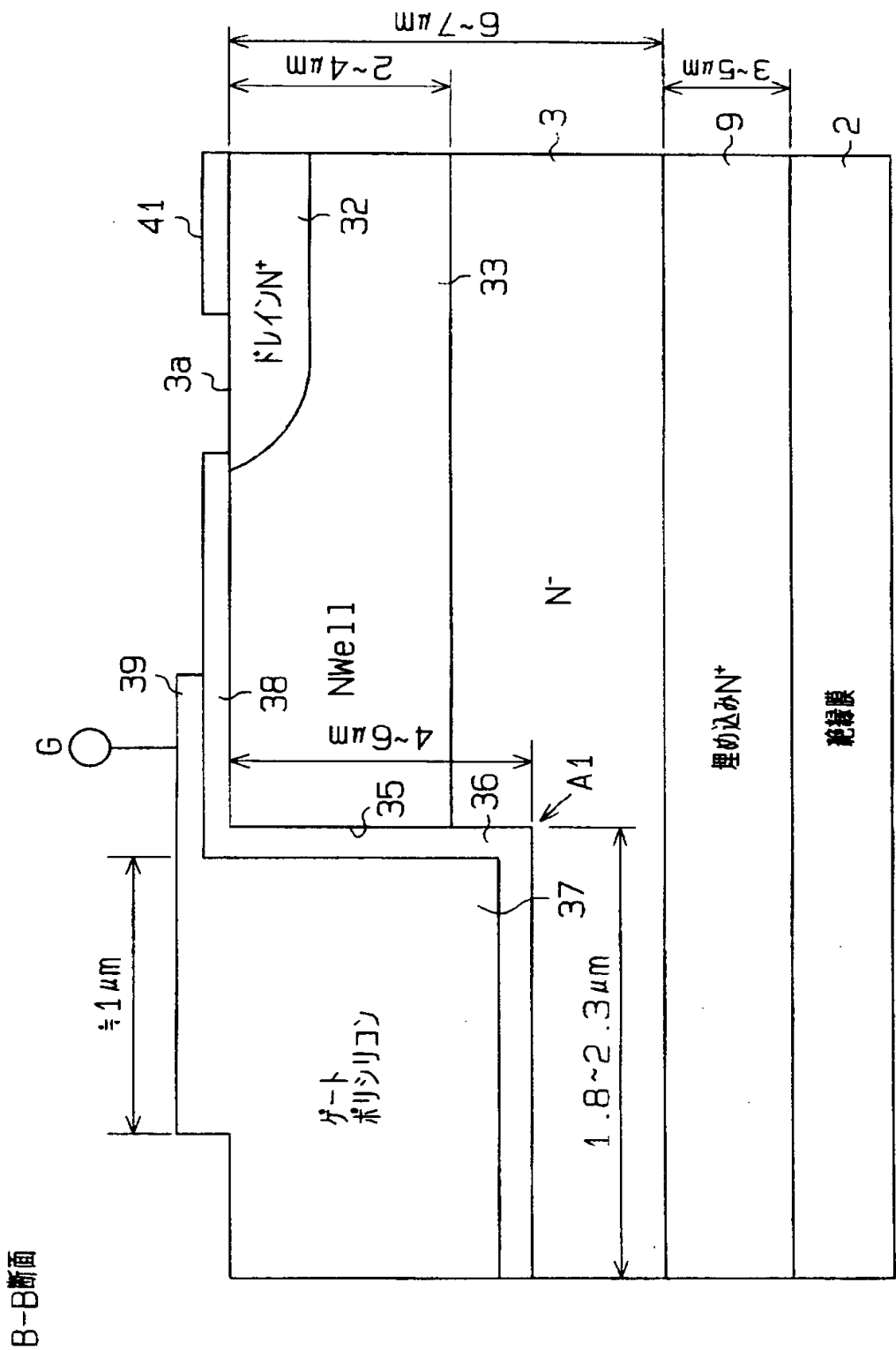


【図 2】



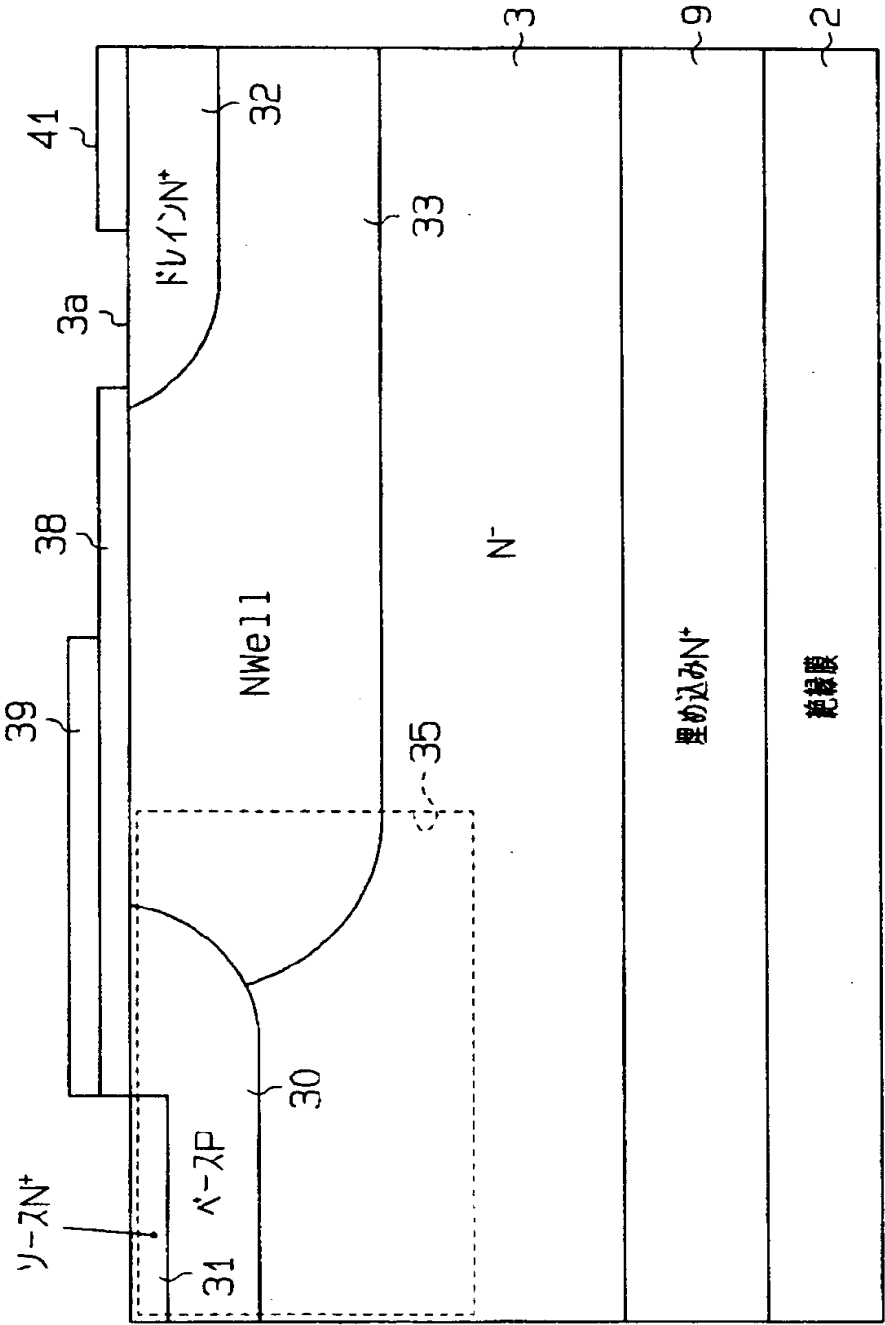


【図4】



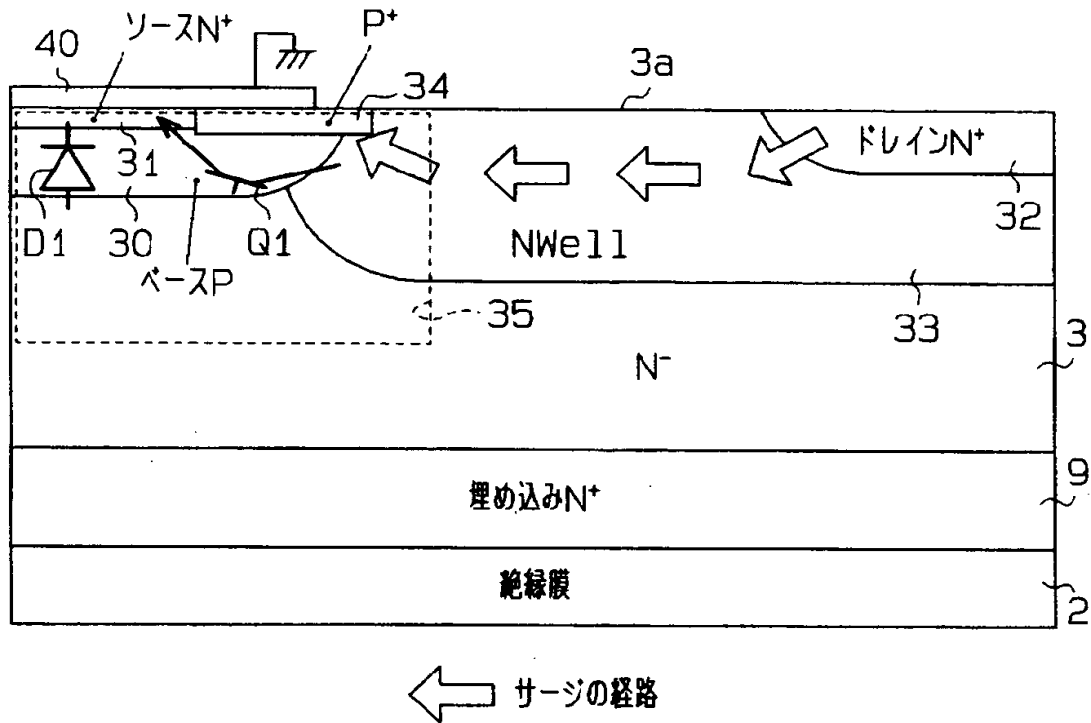
【図 5】

C-C断面

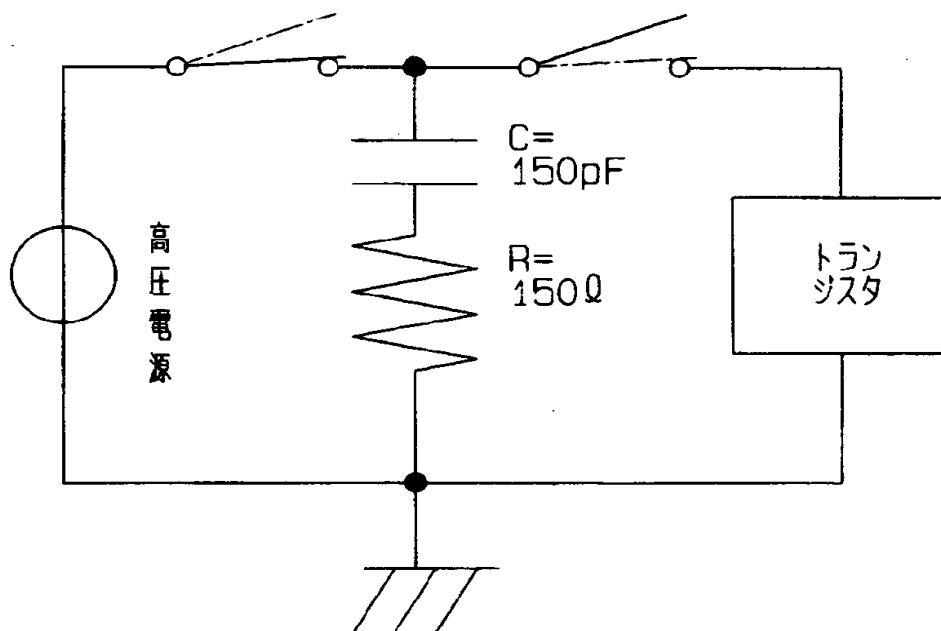




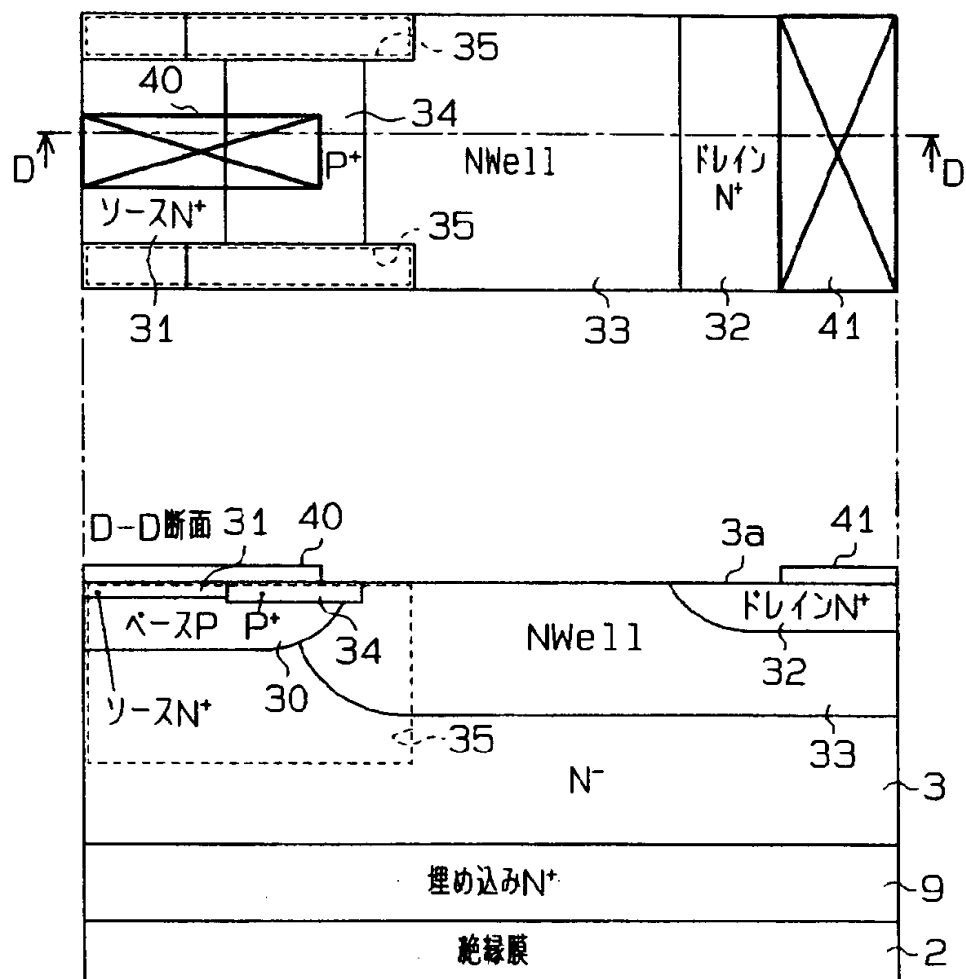
【図 6】



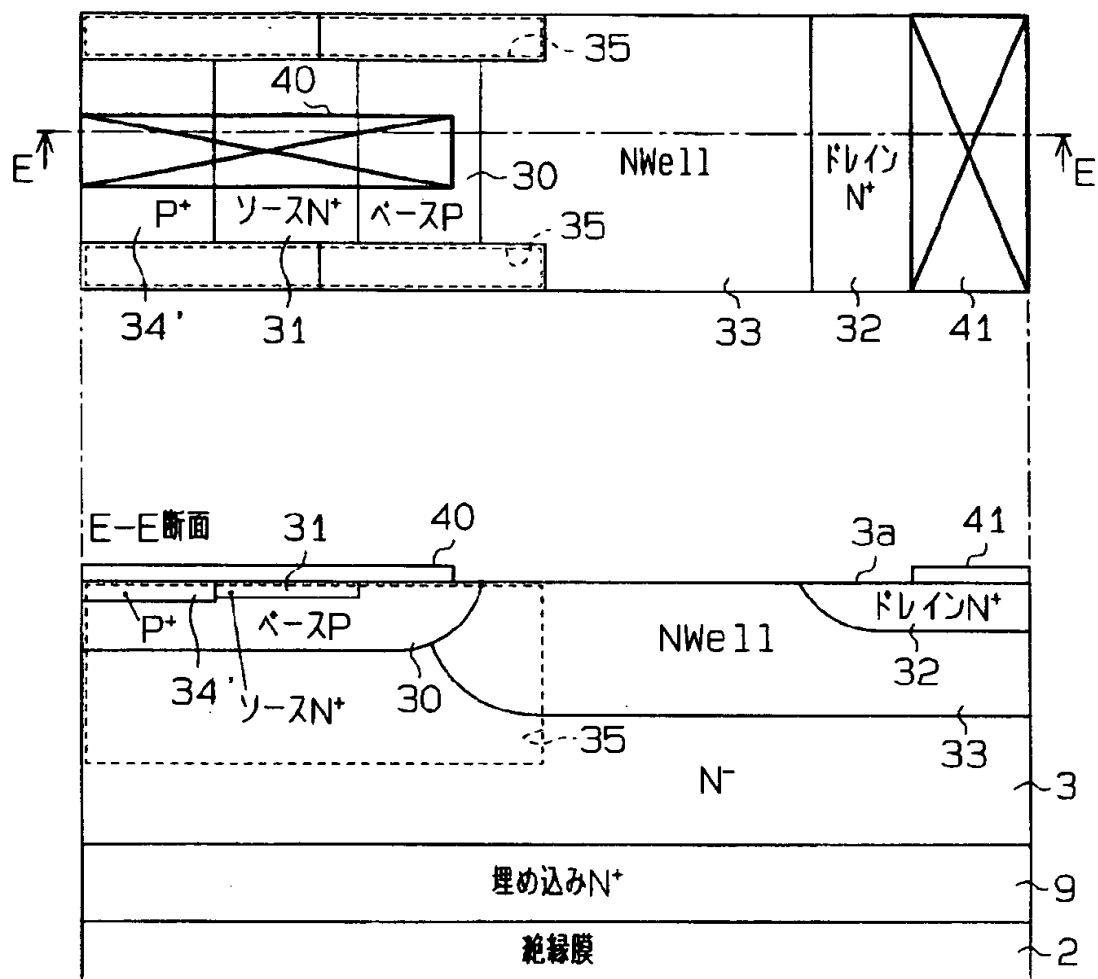
【図 7】



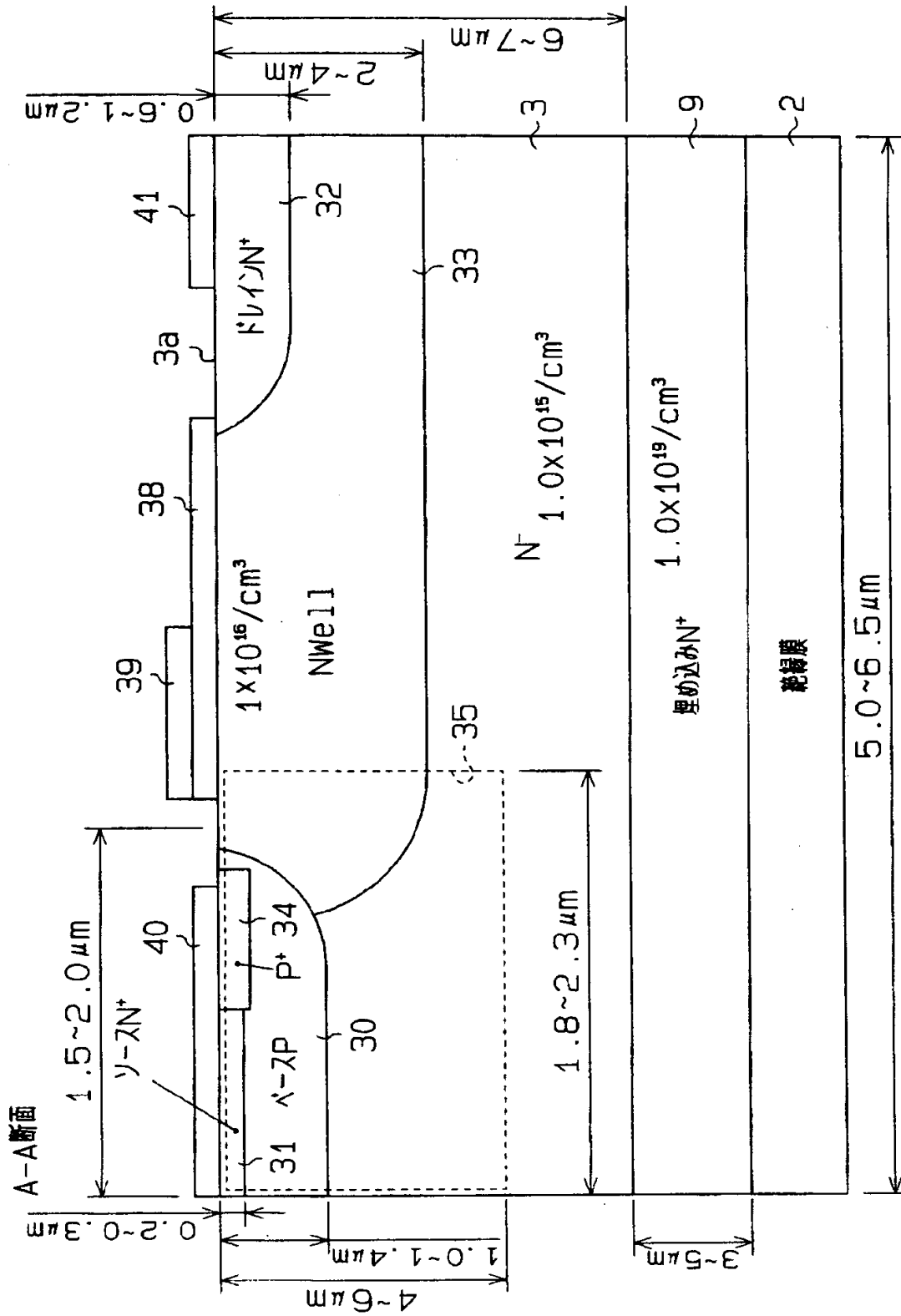
【図 8】



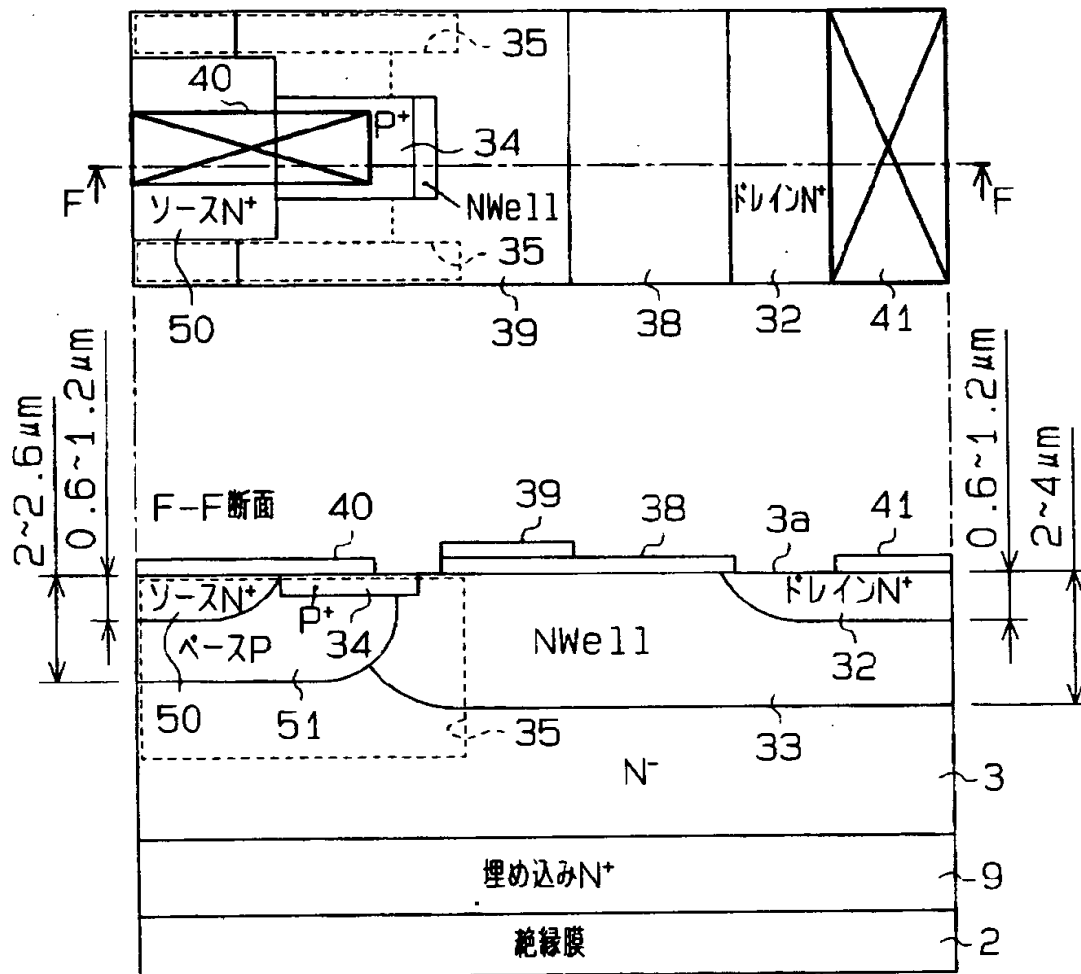
【図 9】



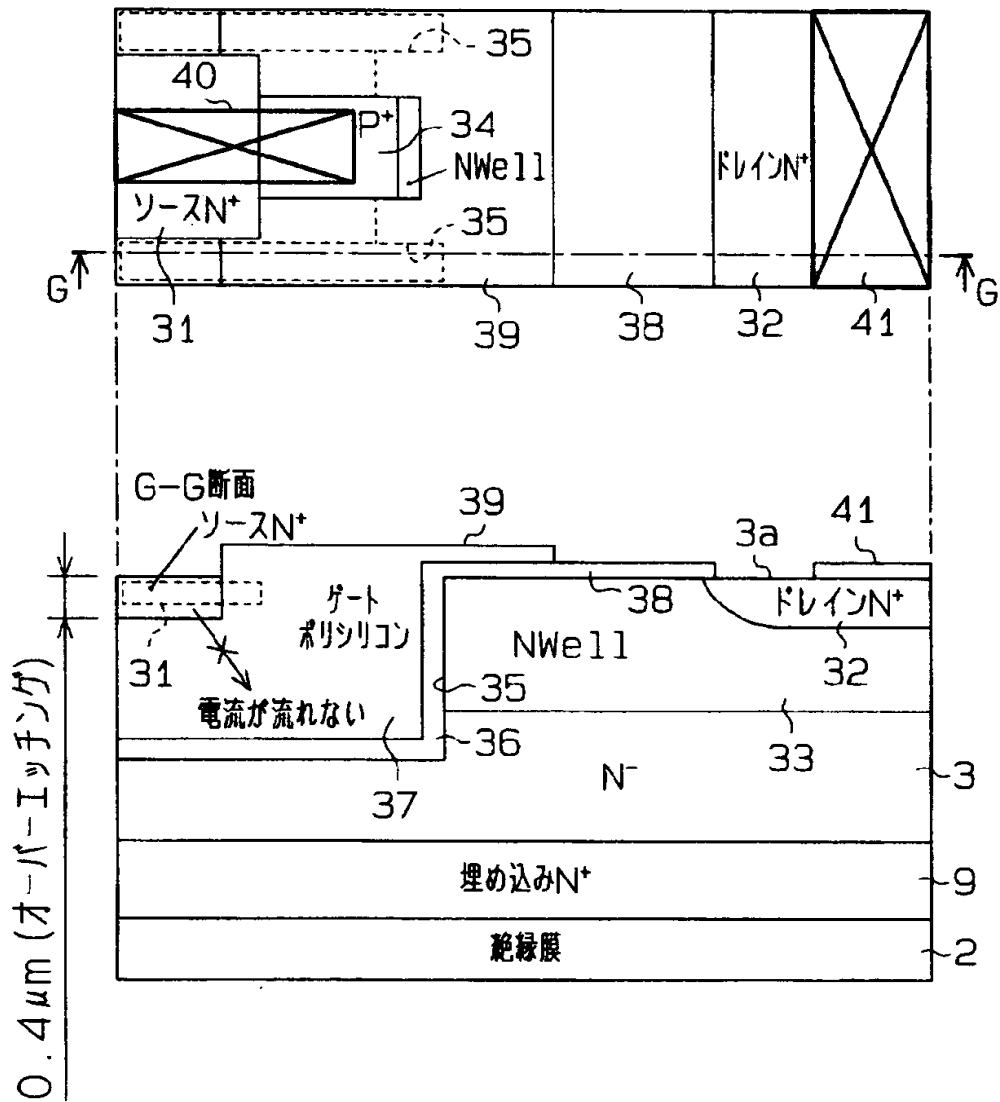
【図10】



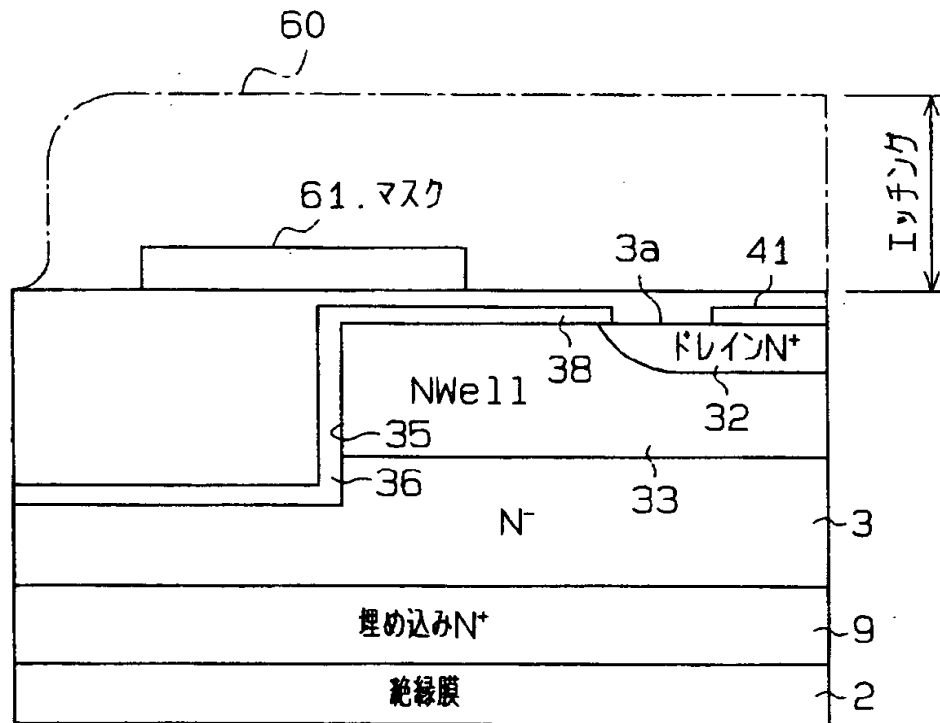
【図 11】



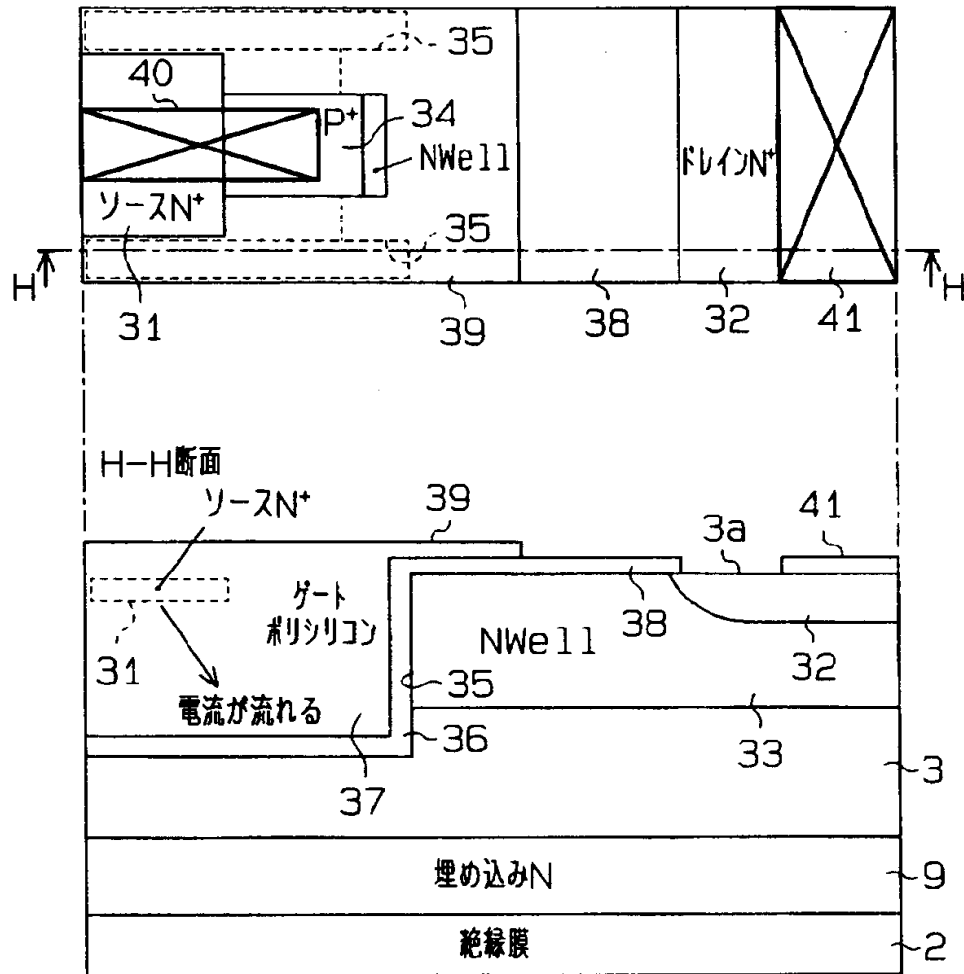
【図 12】



【図 13】

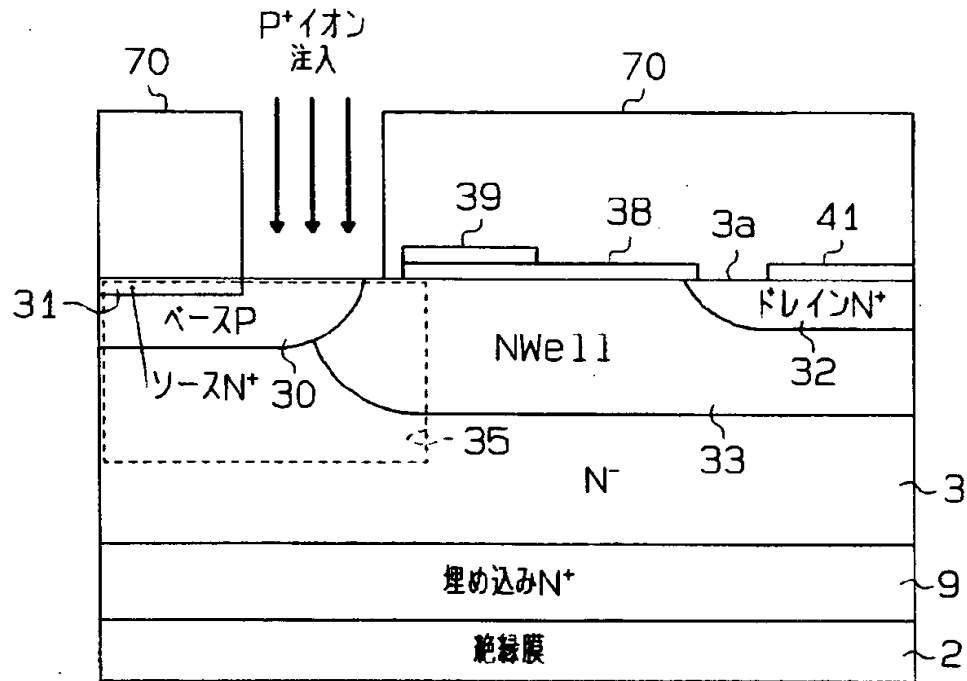


【図14】

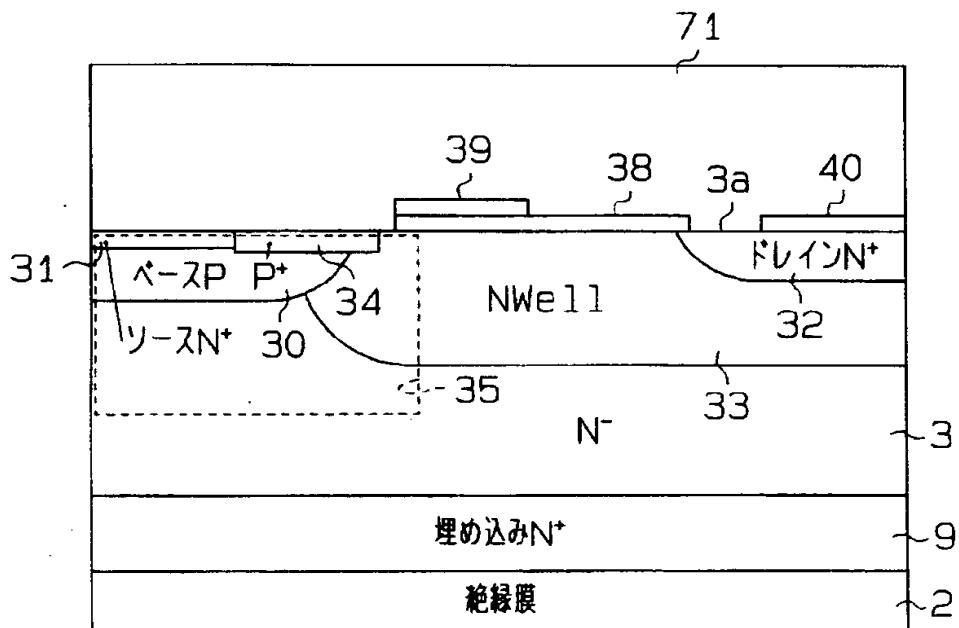




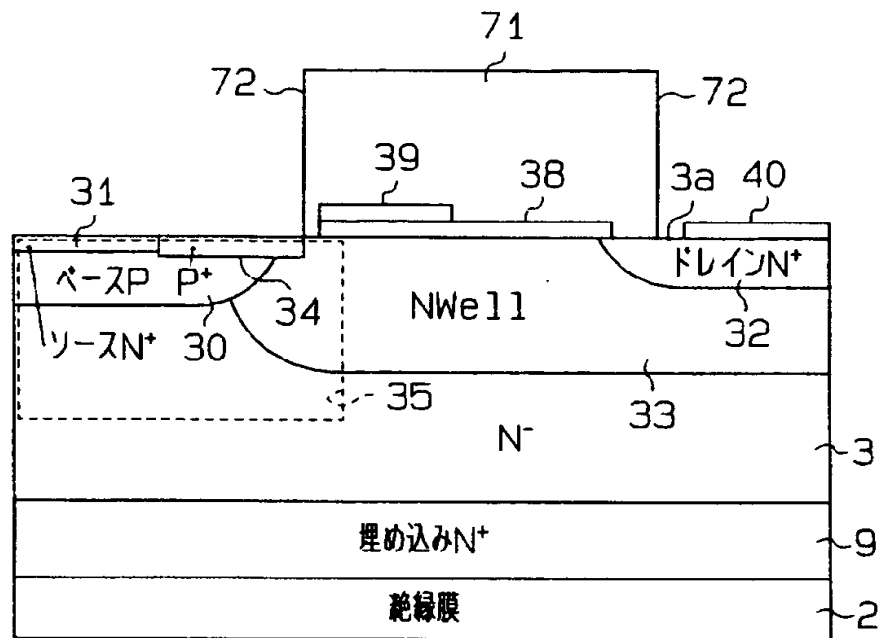
【図 15】



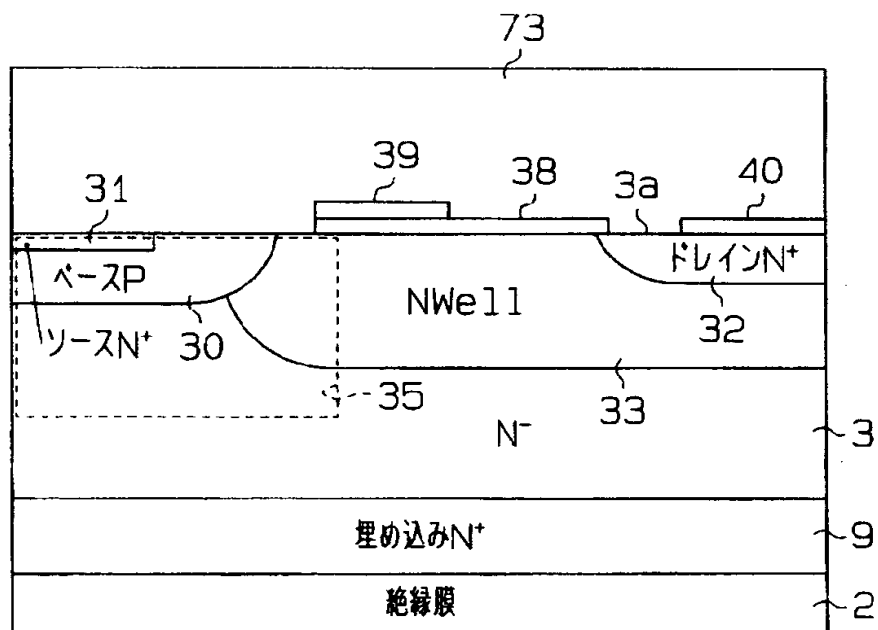
【図 16】



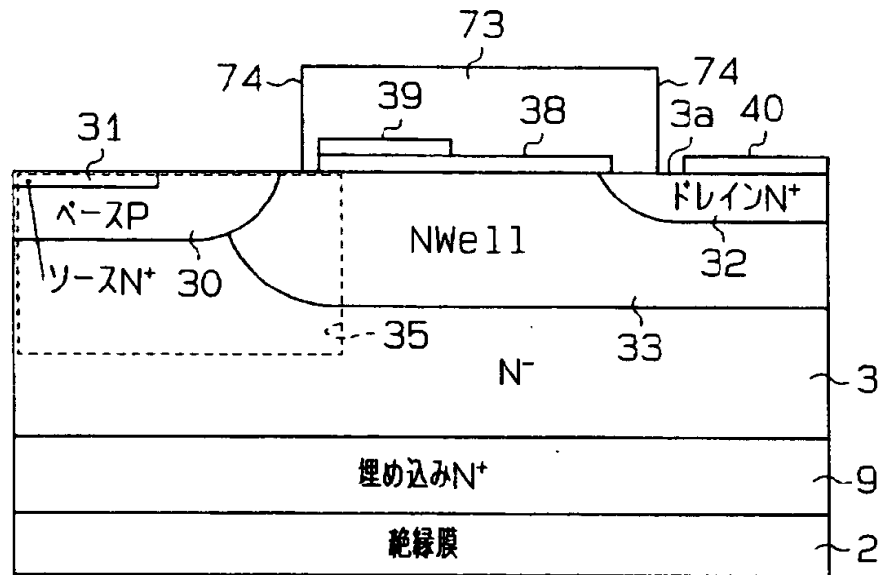
【図 17】



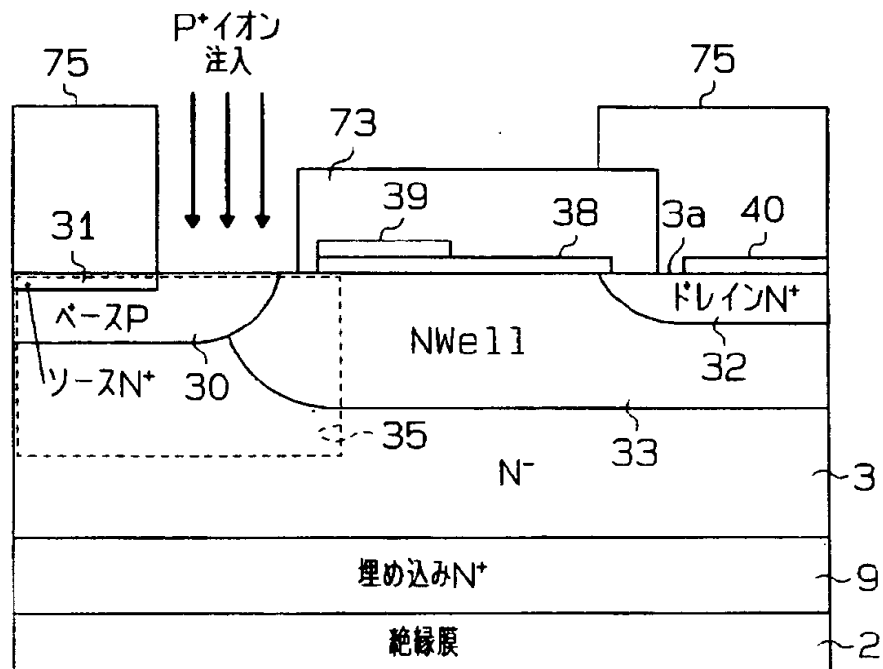
【図 18】



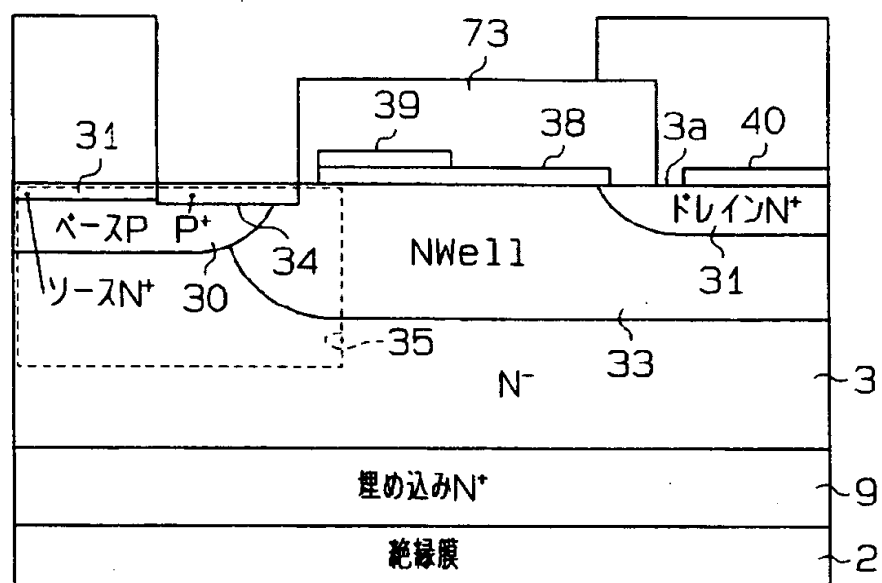
【図 19】



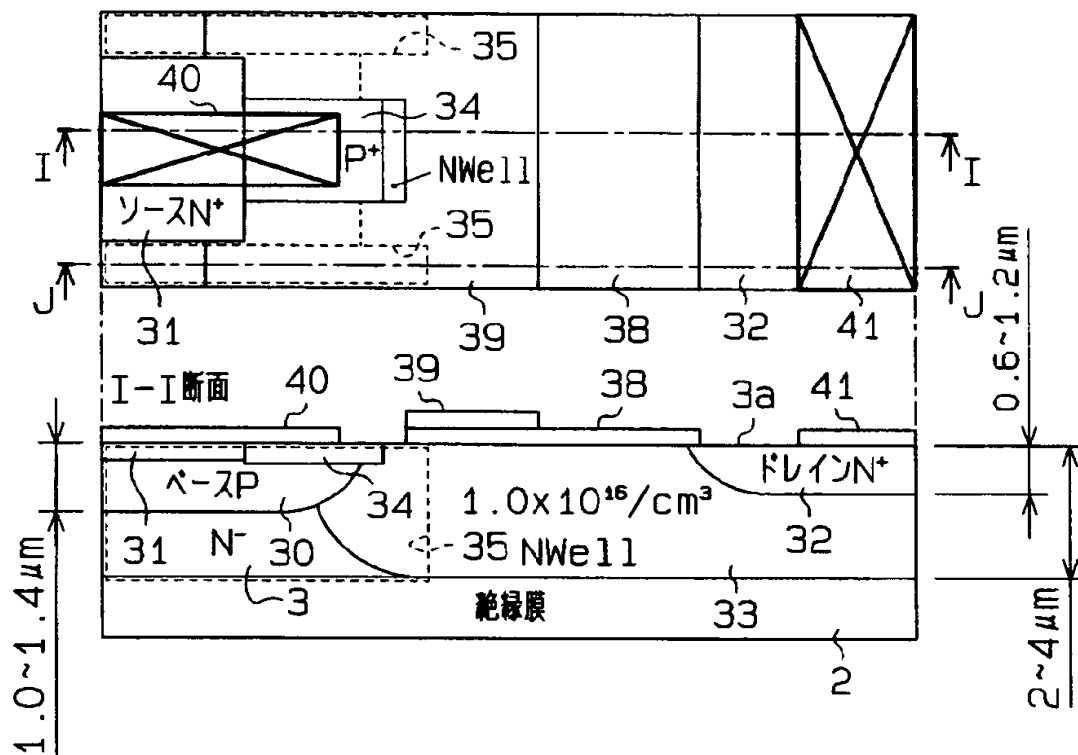
【図 20】



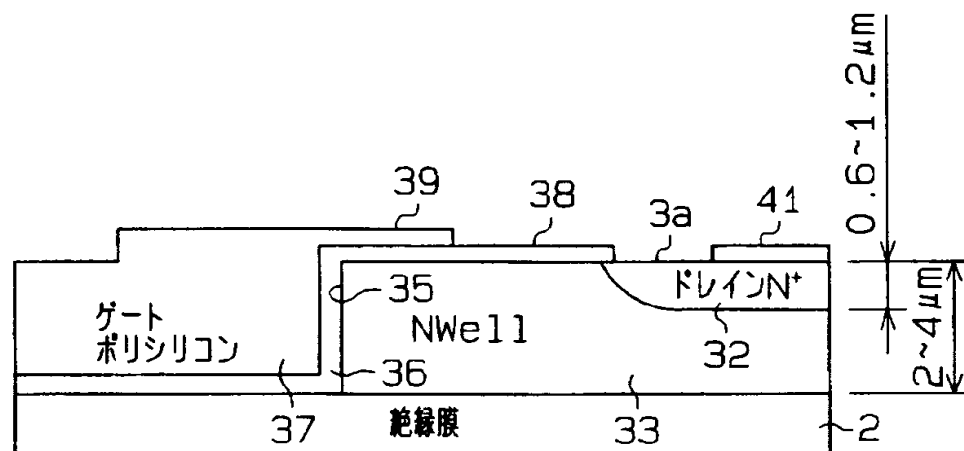
【図 21】



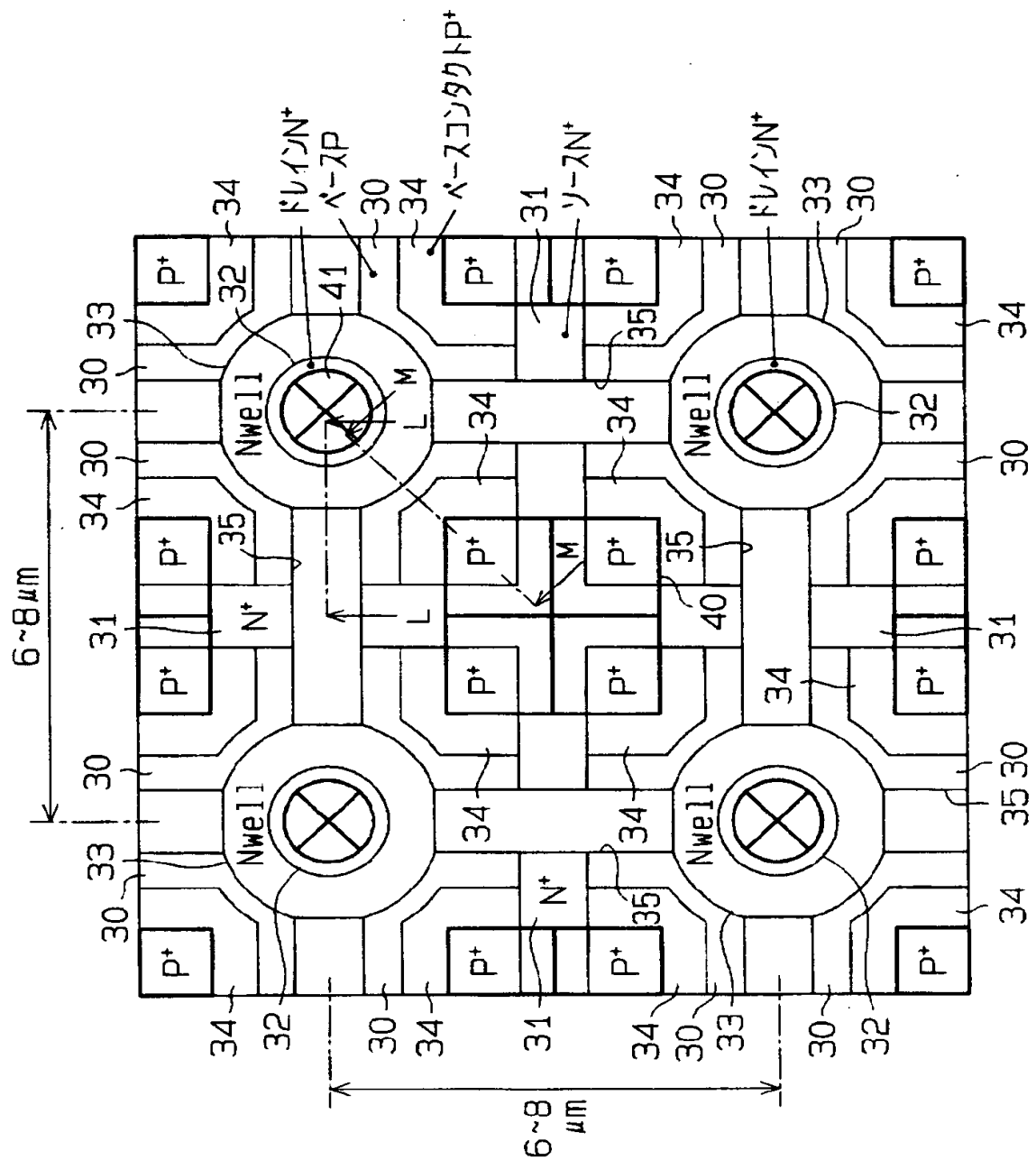
【図 22】



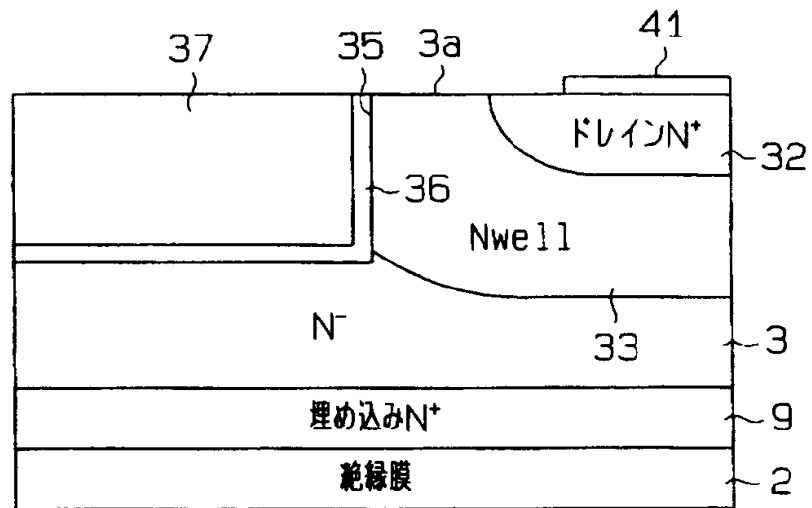
【図 23】



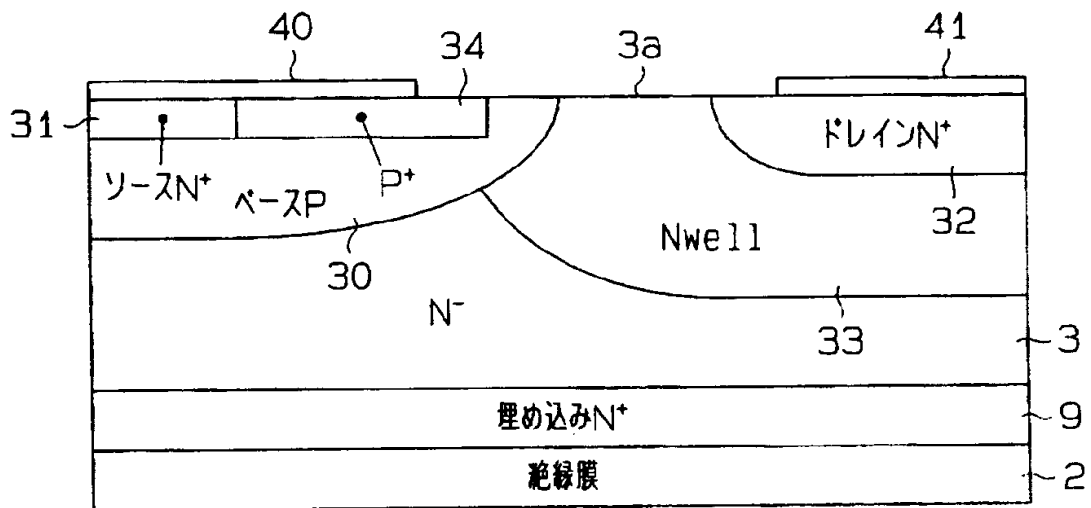
【図 2 4】



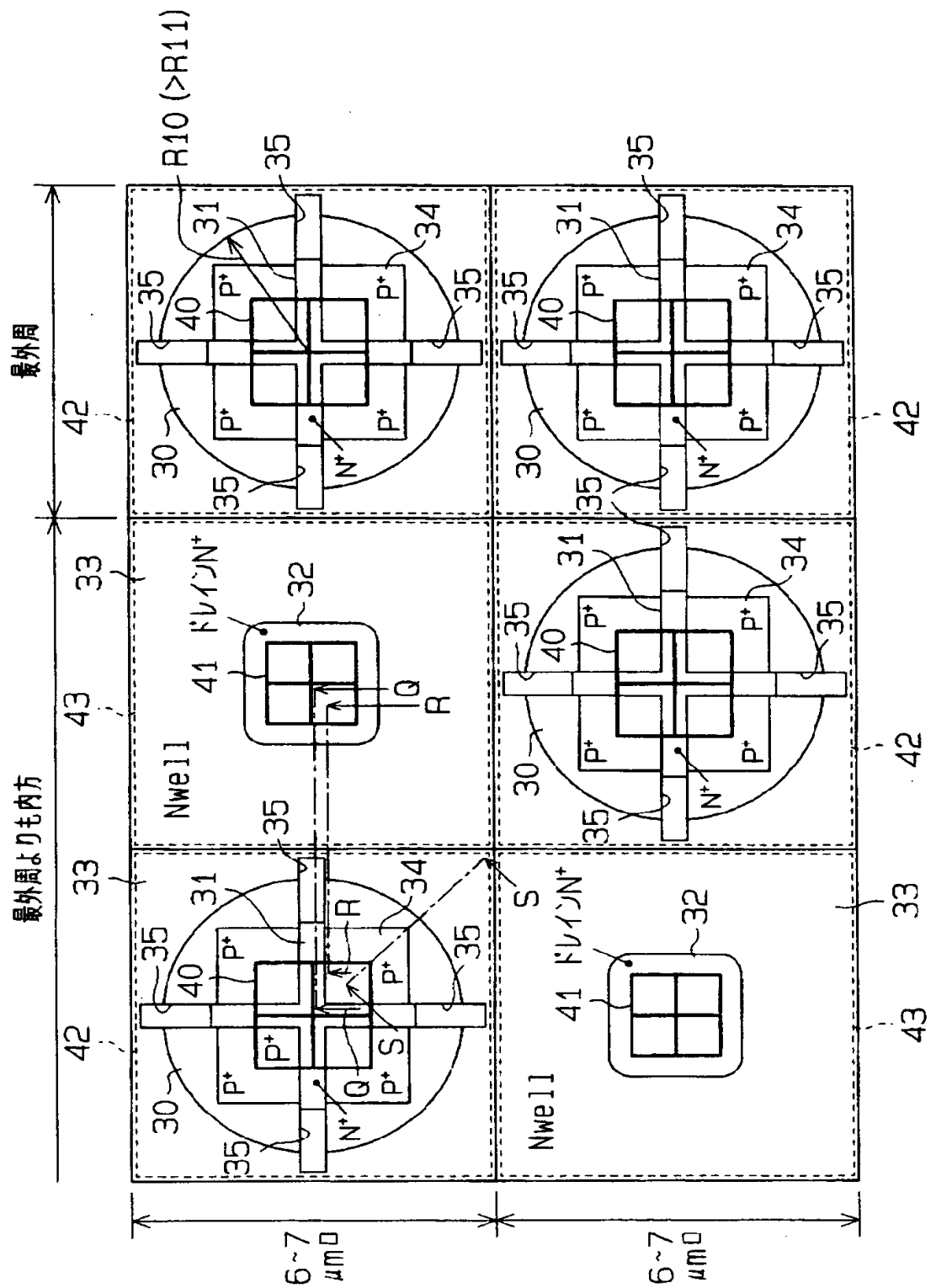
【図 25】



【図 26】

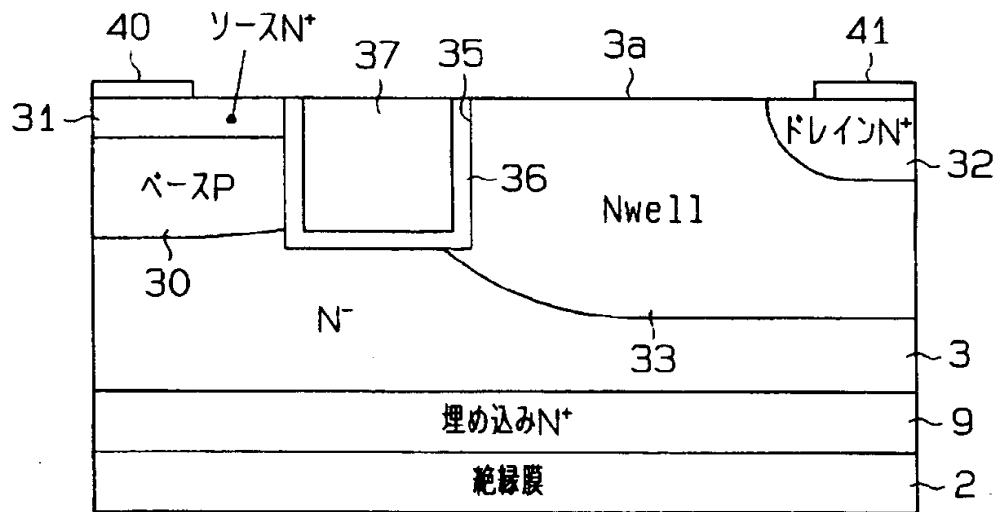


【図27】

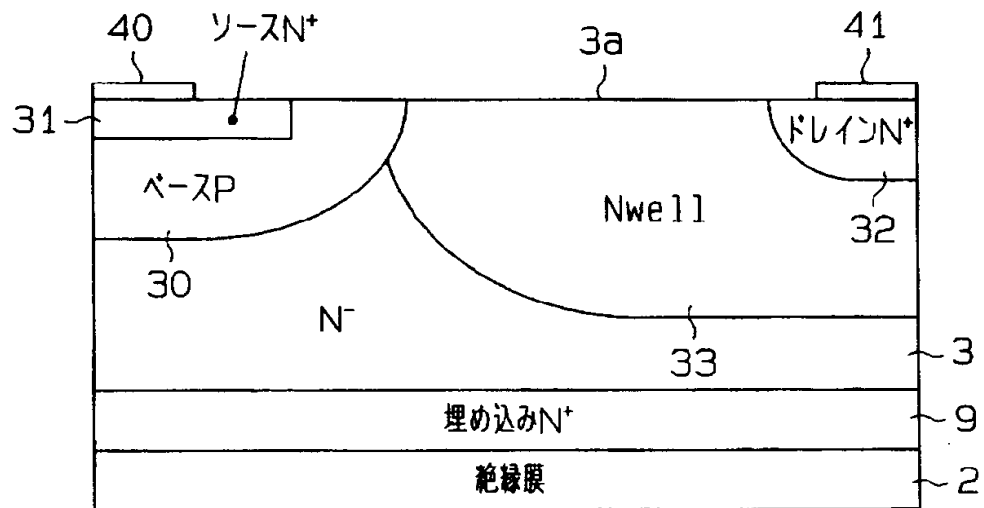




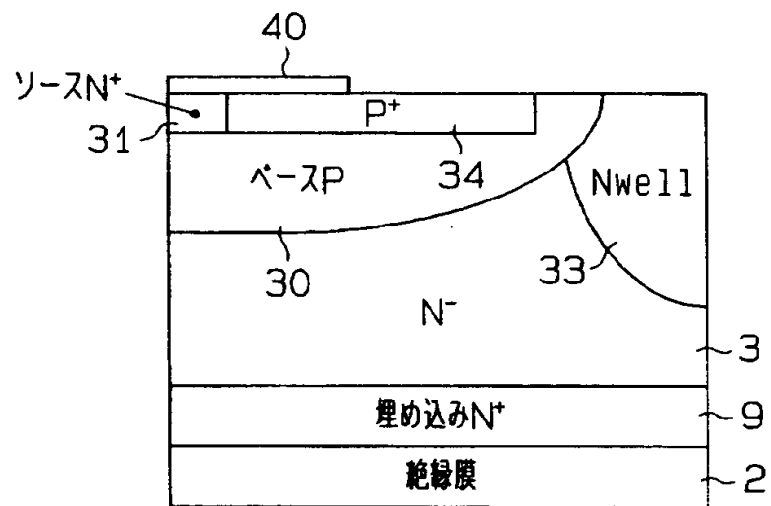
【図 28】



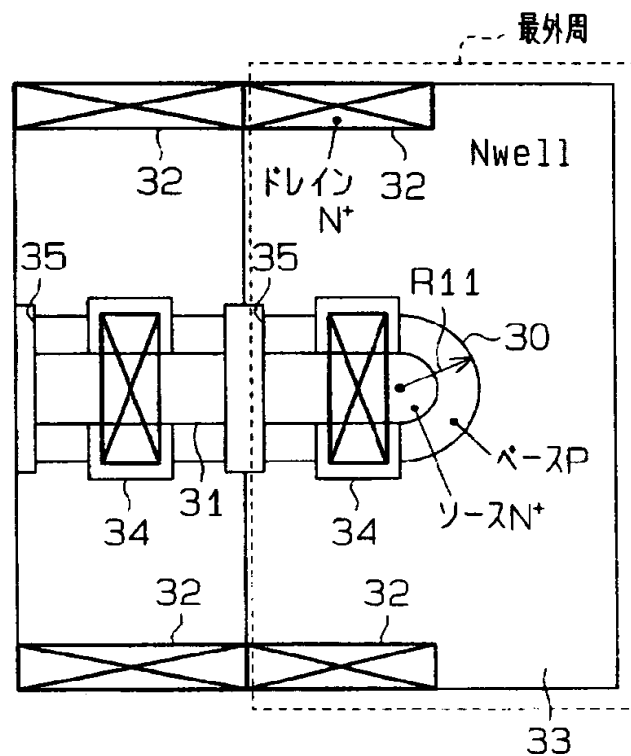
【図 29】



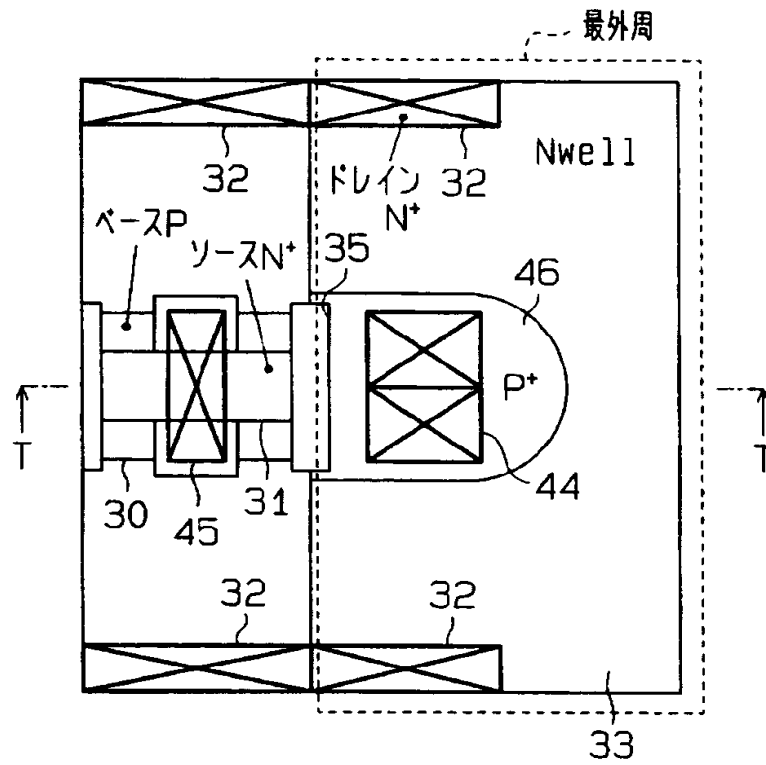
【図 30】



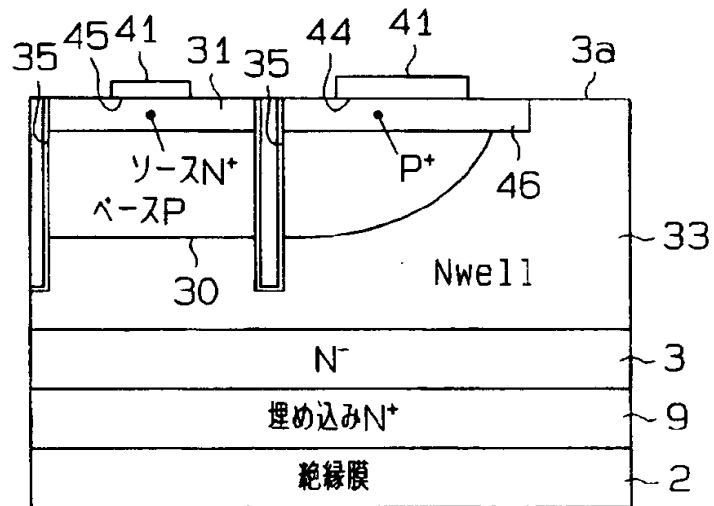
【図 31】



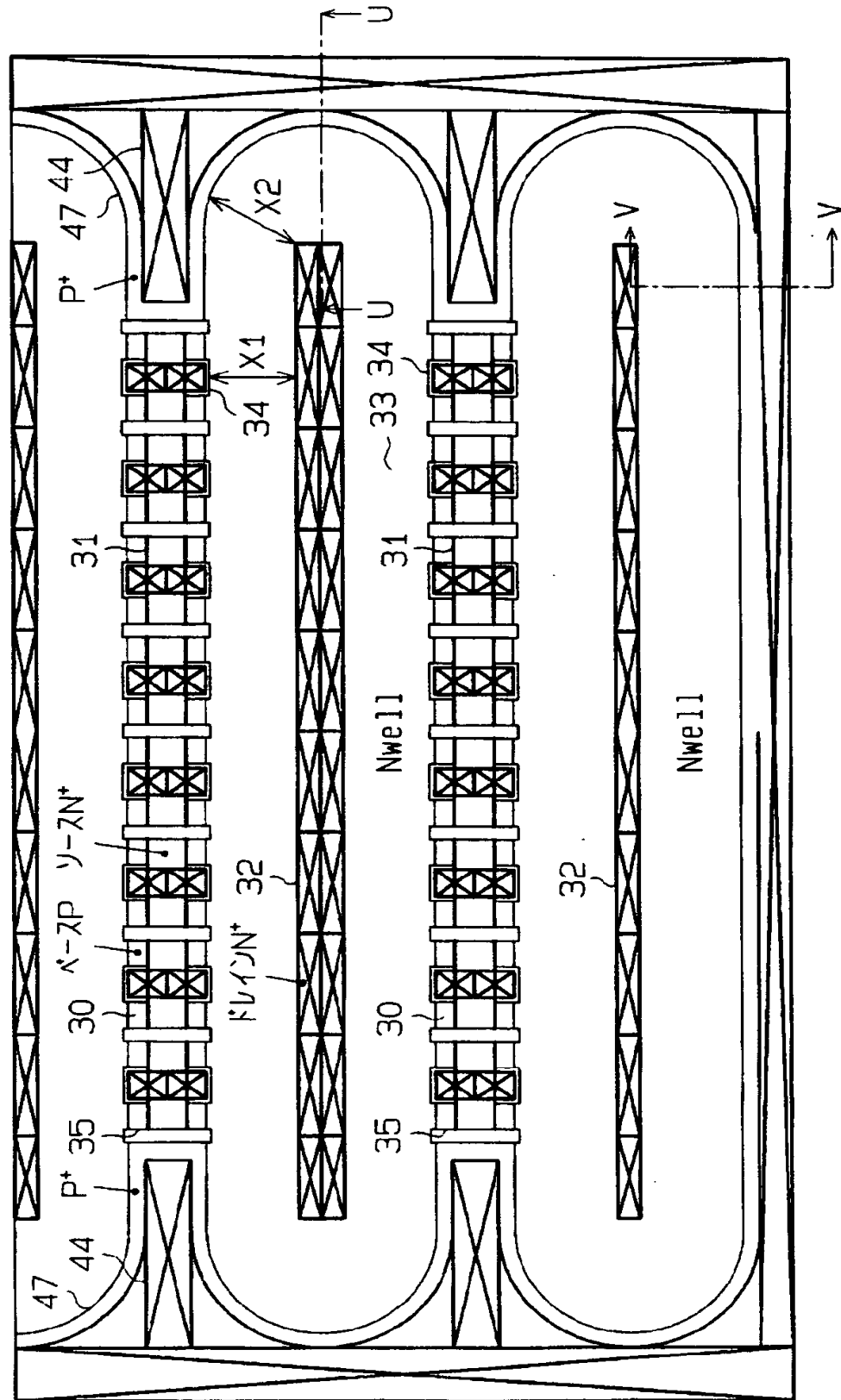
【図 3 2】



【図 3 3】

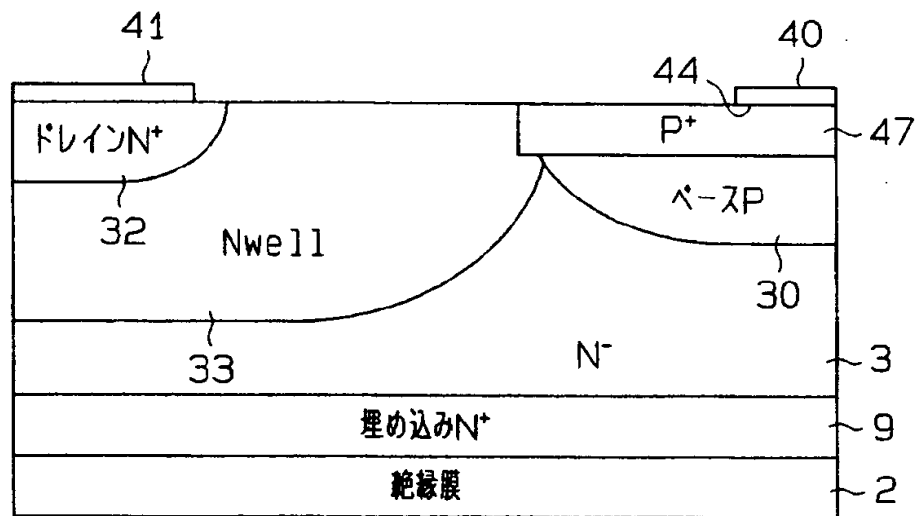


【図 34】

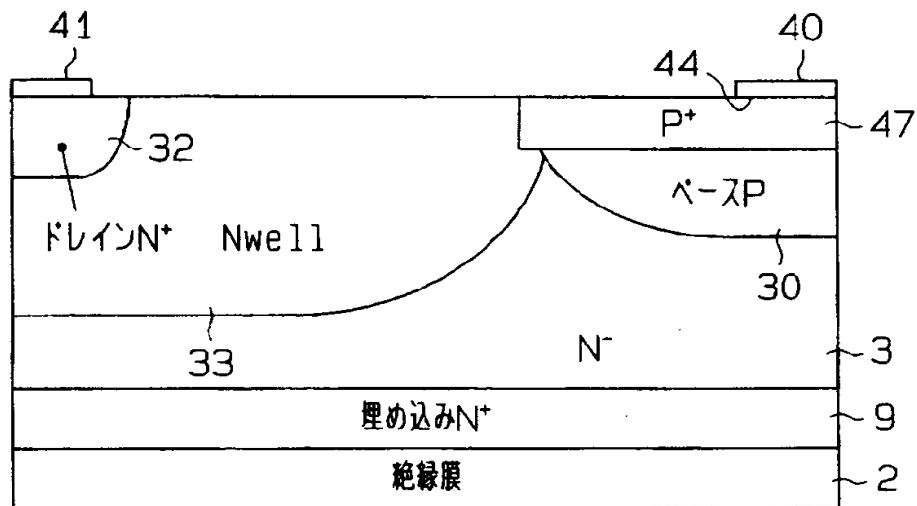


BEST AVAILABLE COPY

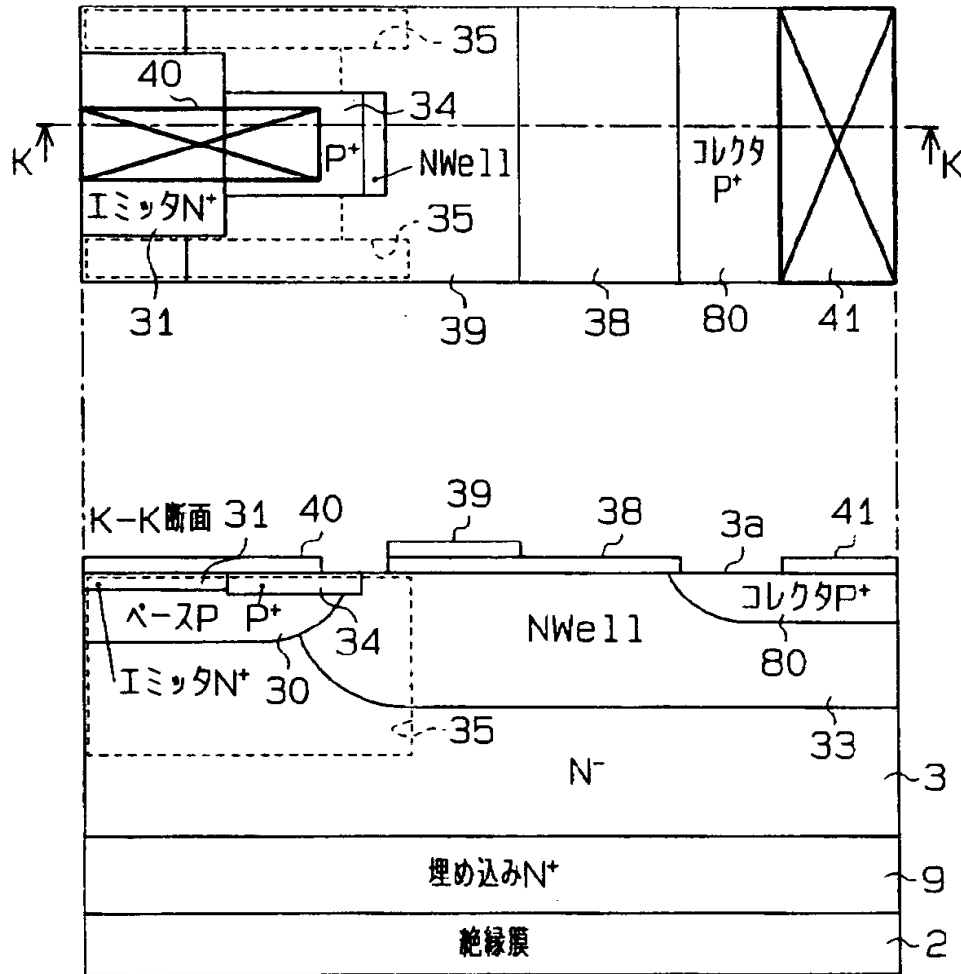
【図 35】



【図 36】



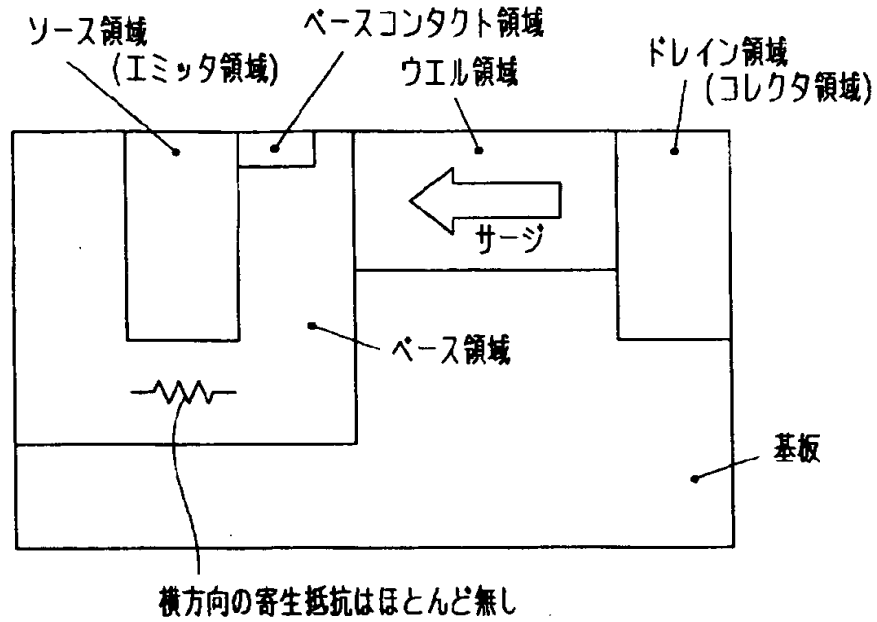
【図 37】



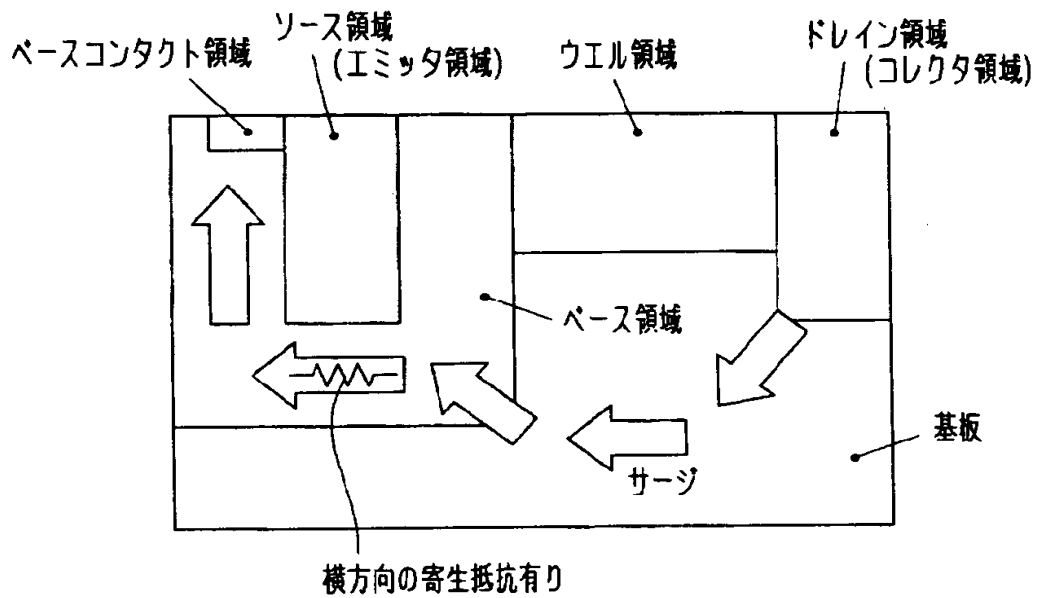
BEST AVAILABLE COPY

BEST AVAILABLE COPY

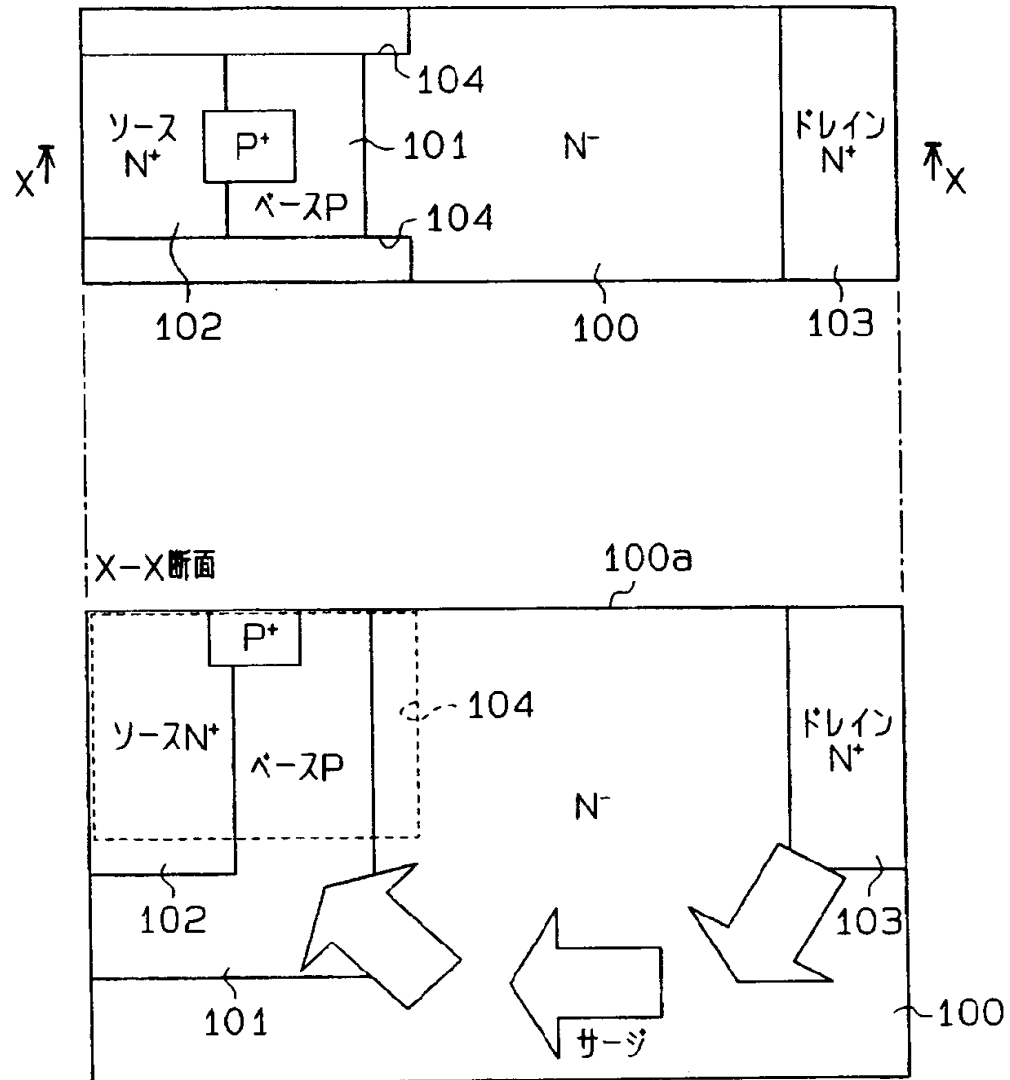
【図 38】



【図 39】



【図 40】





【書類名】 要約書

【要約】

【課題】 オン抵抗の低減を図るとともにサージに強い半導体装置を提供する。

【解決手段】  $N^-$ シリコン層 3 における主表面 3 a での表層部にベース P 領域 3 0、ソース  $N^+$  領域 3 1、ドレイン  $N^+$  領域 3 2 が形成されている。主表面 3 a での表層部において N ウェル領域 3 3 がドレイン  $N^+$  領域 3 2 を含むとともにベース P 領域 3 0 と接する領域にドレイン  $N^+$  領域 3 2 よりも深く形成されている。トレンチ 3 5 が平面構造としてソース  $N^+$  領域 3 1 からドレイン  $N^+$  領域 3 2 に向かう方向においてベース P 領域 3 0 を貫通するように形成され、トレンチ 3 5 の内面においてゲート絶縁膜を介してゲート電極が形成されている。

【選択図】 図 3

特願 2 0 0 3 - 3 4 8 8 6 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー